

SEMICONDUCTOR DEVICE, IC CARD AND MANUFACTURING METHOD OF THE SEMICONDUCTOR DEVICE**Publication number:** JP2002164449**Publication date:** 2002-06-07**Inventor:** KATAYAMA KOZO; KAMIGAKI YOSHIKI; MINAMI SHINICHI**Applicant:** HITACHI LTD**Classification:**

- international: *B42D15/10; G06K19/07; G06K19/077; G11C16/02; G11C16/04; G11C16/06; H01L21/8247; H01L27/10; H01L27/115; H01L29/788; H01L29/792; G11C16/10; G11C16/14; G11C16/26; B42D15/10; G06K19/07; G06K19/077; G11C16/02; G11C16/04; G11C16/06; H01L21/70; H01L27/10; H01L27/115; H01L29/66; (IPC1-7): H01L21/8247; B42D15/10; G06K19/07; G06K19/077; G11C16/02; G11C16/04; G11C16/06; H01L27/10; H01L27/115; H01L29/788; H01L29/792*

- european: G11C16/04M2; H01L27/115; H01L29/792B

Application number: JP20000362667 20001129**Priority number(s):** JP20000362667 20001129**Also published as:**

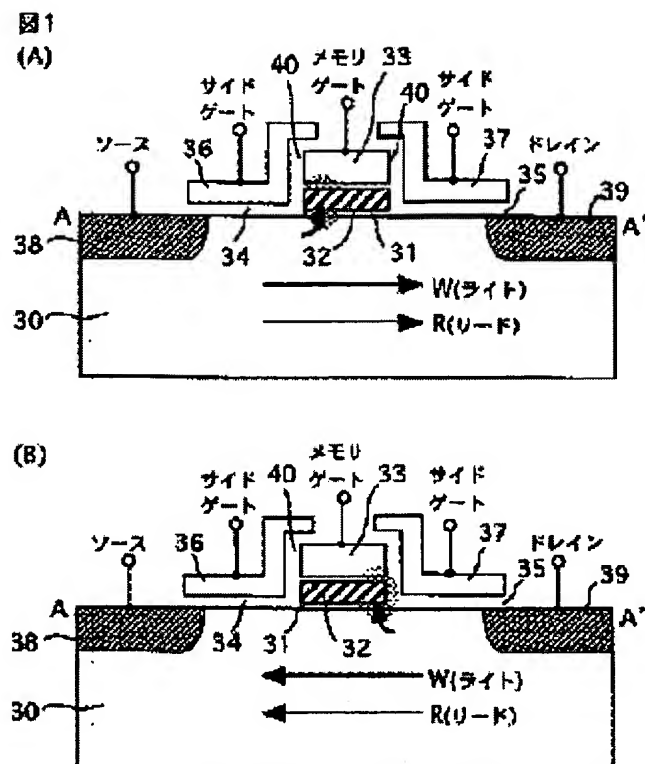
US6653685 (B2)

US2002074594 (A1)

Report a data error here**Abstract of JP2002164449**

PROBLEM TO BE SOLVED: To realize writing by a plurality of bit units such as byte writing for a memory using the memory cell of a multi-storage shape. **SOLUTION:** A memory gate electrode (33) is formed through a gate insulation film (31) and a gate nitride film (32) on a first semiconductor area (30), and first and second signal electrodes (38, 39) being first and second switch gate electrodes (36, 37) and a source and drain electrode are formed on both sides. The memory cell injects electrons from the source side to the gate nitride film to perform information storage. Since the memory gate electrode and the switch gate electrode are extended in the same direction, high voltage is applied on the memory gate electrode of the memory cell of a write object making the memory gate electrode and the switch gate electrode common, and even when writing and writing blocking voltage are given through the first and second signal electrodes are given, high electric field application is blocked by the switch gate electrode of a cut-off state in a writing non-selection memory cell.

♪



Data supplied from the **esp@cenet** database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-164449

(P2002-164449A)

(43) 公開日 平成14年6月7日(2002.6.7)

(51) Int.Cl. ⁷	識別記号	F I	キーワード*(参考)
H 0 1 L 21/8247		B 4 2 D 15/10	5 2 1 2 C 0 0 5
27/115		H 0 1 L 27/10	4 6 1 5 B 0 2 5
B 4 2 D 15/10	5 2 1		4 3 4 5 B 0 3 5
G 0 6 K 19/077		G 0 6 K 19/00	K 5 F 0 0 1
19/07			H 5 F 0 8 3

審査請求 未請求 請求項の数25 O L (全 26 頁) 最終頁に続く

(21) 出願番号 特願2000-362667(P2000-362667)

(22) 出願日 平成12年11月29日(2000.11.29)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 片山 弘造

東京都小平市上水本町五丁目20番1号 株式会社日立製作所半導体グループ内

(72) 発明者 神垣 良昭

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(74) 代理人 100089071

弁理士 玉村 静世

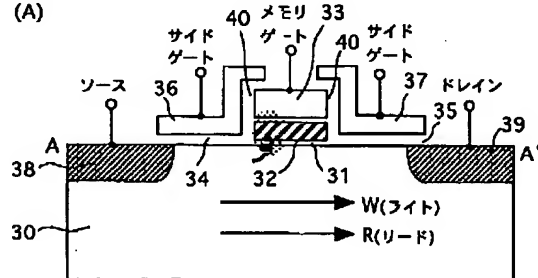
最終頁に続く

(54) 【発明の名称】 半導体装置、I Cカード及び半導体装置の製造方法

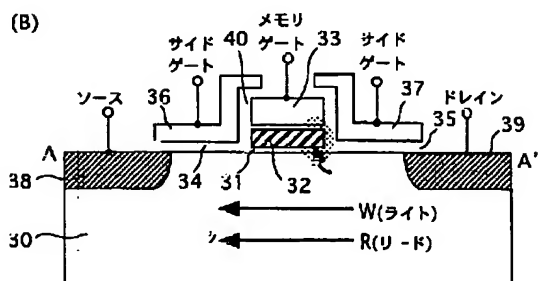
(57) 【要約】

【課題】 マルチストレージ形態のメモリセルを用いたメモリに対してバイト書き込みのような複数ビット単位による書き込みを実現する。

【解決手段】 第1半導体領域(30)上にゲート絶縁膜(31)及びゲート窒化膜(32)を介してメモリゲート電極(33)が形成され、その両側に第1及び第2スイッチゲート電極(36, 37)及びソース・ドレイン電極とされる第1及び第2信号電極(38, 39)が形成される。このメモリセルはゲート窒化膜にソースサイドから電子を注入して情報記憶を行う。メモリゲート電極とスイッチゲート電極は同一方向に延在されるから、メモリゲート電極とスイッチゲート電極が共通化された書き込み対象メモリセルのメモリゲート電極に高圧を印加し第1及び第2信号電極を介して書き込み及び書き込み阻止電圧を与えても、書き込み非選択メモリセルはカットオフ状態のスイッチゲート電極により高電界印加が阻止される。

図1
(A)

(B)



【特許請求の範囲】

【請求項1】 第1半導体領域上に第1及び第2ゲート絶縁膜を介してメモリゲート電極が形成され、その両側の第1半導体領域上に第3ゲート絶縁膜を介して第1及び第2スイッチゲート電極が形成され、前記夫々のスイッチゲート電極下近傍の前記第1半導体領域にソース又はドレイン電極とされる第1及び第2信号電極が形成され、前記メモリゲート電極とスイッチゲート電極が夫々第1方向に延在された、不揮発性メモリセルを複数個有して成るものであることを特徴とする半導体装置。

【請求項2】 前記第1及び第2信号電極が結合され前記第1方向とほぼ直角な第2方向に延在される第1及び第2信号配線を有し、前記第1及び第2信号配線は第2方向に並列する複数個の不揮発性メモリセルに共有され、前記メモリゲート電極及びスイッチゲート電極は第1方向に並列する複数個の不揮発性メモリセルに共通化されて成るものであることを特徴とする請求項1記載の半導体装置。

【請求項3】 第1方向に隣接してメモリゲート電極が共通とされる1対の前記不揮発性メモリセルは、前記第1又は第2信号電極の何れか一方が共通化され、他方が個別化されて、対応する第1及び第2信号配線に接続されて成るものであることを特徴とする請求項2記載の半導体装置。

【請求項4】 前記1個の不揮発性メモリセルは、前記第2ゲート絶縁膜の第1スイッチゲート電極側にキャリアが捕獲された第1状態、前記第1状態の捕獲キャリアが減少された第2状態、前記第2ゲート絶縁膜の第2スイッチゲート電極側にキャリアが捕獲された第3状態、又は前記第3状態の捕獲キャリアが減少された第4状態に応じて、2ビットの情報を記憶可能であることを特徴とする請求項1乃至3の何れか1項記載の半導体装置。

【請求項5】 前記第1半導体領域はウェル領域であり、前記メモリゲート電極と第1及び第2スイッチゲート電極を共有する複数個の前記不揮発性メモリセルは、電気的に分離された複数個のウェル領域に分割配置され、前記不揮発性メモリセルは前記ウェル領域と前記メモリゲート電極との間の電位差に応じて前記第2ゲート絶縁膜からウェル領域にキャリアを放出するものであることを特徴とする請求項1乃至3の何れか1項記載の半導体装置。

【請求項6】 前記不揮発性メモリセルは、前記第1又は第2スイッチゲート電極で選択される前記第1又は第2信号電極と前記第1半導体領域との間の電位差に応じて前記第2ゲート絶縁膜から第1半導体領域にキャリアを放出するものであることを特徴とする請求項1乃至3の何れか1項記載の半導体装置。

【請求項7】 前記不揮発性メモリセルは、前記第1又は第2スイッチゲート電極で選択される信号電極とメモリゲート電極との電位差に応じて前記第2絶縁膜からメ

モリゲート電極にキャリアを放出するものであることを特徴とする請求項1乃至3の何れか1項記載の半導体装置。

【請求項8】 前記第1及び第2ゲート絶縁膜下の第1半導体領域に当該絶縁膜の幅寸法以下の幅をもって高濃度不純物領域が形成されて成るものであることを特徴とする請求項1乃至3の何れか1項記載の装置。

【請求項9】 前記第2ゲート絶縁膜の第1スイッチゲート電極側又は第2スイッチゲート電極側にキャリアを捕獲させるとき、前記第1半導体領域は、逆方向基板バイアス電位が与えられるものであることを特徴とする請求項8記載の半導体装置。

【請求項10】 前記不揮発性メモリセルは、前記第2スイッチゲート電極で選択される第2信号電極の電位が前記第1スイッチゲート電極で選択される第1信号電極の電位よりも高くされることにより前記第1状態又は第2状態の1ビットの記憶情報の読み出しが行なわれ、前記第1スイッチゲート電極で選択される第1信号電極の電位が前記第2スイッチゲート電極で選択される第2信号電極の電位よりも高くされることにより前記第3状態又は第4状態の1ビットの記憶情報の読み出しが行なわれるものであることを特徴とする請求項4記載の半導体装置。

【請求項11】 前記不揮発性メモリセルの第1信号電極に第1信号配線が接続され、前記不揮発性メモリセルの第2信号電極に第2信号配線が接続され、前記第1信号配線及び前記第2信号配線をプリチャージ可能なプリチャージ回路、前記第1信号配線のレベル変化を検出するセンスアンプ、及び制御回路を有し、前記制御回路は、リードアドレスに応じて第1又は第2信号電極の何れか一方を高電位に他方を低電位とするように前記プリチャージ回路にプリチャージ動作させ、プリチャージ完了後、センスアンプに第1信号配線におけるレベル変化の有無を検出させるものであることを特徴とする請求項1記載の半導体装置。

【請求項12】 半導体基板に形成された第1半導体領域に複数個の不揮発性メモリセルを有し、前記不揮発性メモリセルは、前記第1半導体領域上に積層された第1及び第2ゲート絶縁膜、前記第1及び第2ゲート絶縁膜の上に形成されたメモリゲート電極、前記メモリゲート電極の両側の第1半導体領域上に第3ゲート絶縁膜を介して形成された第1及び第2スイッチゲート電極、並びに前記夫々のスイッチゲート電極下近傍の前記第1半導体領域にソース又はドレイン電極として形成された第1及び第2信号電極を有し、前記第2絶縁膜は窒化珪素から成り、前記メモリゲート電極は第1層目多結晶珪素から成り、前記第1及び第2スイッチゲート電極は第2層目多結晶珪素から成り、前記メモリゲート電極と第1及び第2スイッチゲート電

極は第1方向に延在され、

前記第1及び第2信号電極が結合される第1及び第2信号配線は前記第1方向とほぼ直角な第2方向に延在されて成るものであることを特徴とする半導体装置。

【請求項13】 半導体基板に形成された第1半導体領域に複数個の不揮発性メモリセルを有し、前記不揮発性メモリセルは、前記第1半導体領域上に積層された第1及び第2ゲート絶縁膜、前記第1及び第2ゲート絶縁膜の上に形成されたメモリゲート電極、前記メモリゲート電極の両側の第1半導体領域上に第3ゲート絶縁膜を介して形成された第1及び第2スイッチゲート電極、並びに前記夫々のスイッチゲート電極下近傍の前記第1半導体領域にソース又はドレイン電極として形成された第1及び第2信号電極を有し、

前記第2絶縁膜は窒化珪素から成り、

前記スイッチゲート電極は第1層目多結晶珪素から成り、

前記メモリゲート電極は第2層目多結晶珪素から成り、前記メモリゲート電極と第1及び第2スイッチゲート電極は第1方向に延在され、

前記第1及び第2信号電極が結合される第1及び第2信号配線は前記第1方向とほぼ直角な第2方向に延在されて成るものであることを特徴とする半導体装置。

【請求項14】 前記不揮発性メモリセルを記憶素子として備えるメモリ回路と、前記メモリ回路をアクセス可能なCPUと、前記CPUに接続される外部インタフェース回路とを1個の半導体チップに有して成るものであることを特徴とする請求項1乃至13の何れか1項記載の半導体装置。

【請求項15】 カード基板に、請求項14記載の半導体装置、及び前記半導体装置の前記外部インタフェース回路に接続するカードインタフェース端子が設けられて成るものであることを特徴とするICカード。

【請求項16】 カード基板に、請求項14記載の半導体装置、前記半導体装置の前記外部インタフェース回路に接続する高周波インタフェース回路、及び前記高周波インタフェース回路に接続されるアンテナが設けられて成るものであることを特徴とするICカード。

【請求項17】 半導体基板の主面に第1導電型の第1半導体領域を形成する工程と、前記第1半導体領域上の前記半導体基板の主面に、順に第1絶縁膜、第2絶縁膜を形成する工程と、前記第2絶縁膜上に、前記半導体基板の主面の第1方向において第1の幅を有し、前記第1方向に対してほぼ垂直な第2方向において第2の幅を有する第1導体片を形成する工程と、

前記第1方向において、前記第1導体片の下部の前記第1半導体領域内に、選択的に第2半導体領域を形成する為に、前記第1導電型の第1不純物を導入する工程と、前記第1方向において、前記第1導体片の側壁に第3絶

縁膜を形成する工程と、

前記第1方向における前記第1導体片の両端に前記第3絶縁膜を介して、前記第1方向において第3の幅を有し、前記第2方向において第4の幅を有する第2及び第3導体片を形成する工程と、

前記第1方向において、前記第2及び第3導体片の前記第1導体片と反対側の前記第1半導体領域内に第3半導体領域を形成する為に、前記第1導電型と反対の第2導電型の第2不純物を導入する工程とを、含むことを特徴とする半導体装置の製造方法。

【請求項18】 前記第2半導体領域の形成工程は、更に、前記第1導体片の両端の前記第1半導体領域に、前記第2導電型の第3不純物を導入する工程を含み、前記第3不純物は前記半導体基板の主面に對し第1の角度を持ってイオン打ち込みされ、前記第1不純物は前記半導体基板の主面に對し第2の角度を持ってイオン打ち込みされ、前記第1の角度は、前記第2の角度よりも大であることを特徴とする請求項17記載の半導体装置の製造方法。

【請求項19】 前記第1導体片の第2の幅は前記第1の幅よりも大であり、前記第2導体片の第4の幅は前記第3の幅よりも大であり、第1及び第2導体片が第2方向に延在されていることを特徴とする請求項17記載の半導体装置の製造方法。

【請求項20】 前記第1絶縁膜は酸化珪素からなり、前記第2絶縁膜は窒化珪素からなることを特徴とする請求項17記載の半導体装置の製造方法。

【請求項21】 半導体基板の主面に第1導電型の第1半導体領域を形成する工程と、前記第1半導体領域上に所定の間隔で、前記半導体基板の主面の第1方向において第1の幅を有し、前記第1方向に対してほぼ垂直な第2方向において第2の幅を有する2つの第1導体片を形成する工程と、前記第1導体片の間の領域において、前記第1導体片の側壁に第1絶縁膜を形成する工程と、前記第1導体片の間の領域であって、前記第1導体片の側壁に形成された第1絶縁膜に挟まれた領域の前記第1半導体領域内に、第2半導体領域を形成する為に前記第1導電型の第1不純物を導入する工程と、前記第1導体片の間の領域において、前記半導体基板の表面に第2絶縁膜及び第3絶縁膜を形成する工程と、前記第3絶縁膜上に前記第1方向において第3の幅を有し、前記第2方向において第4の幅を有する第2導体片を形成する工程と、

前記第1方向において、前記第1導体片の前記第2導体片と反対側の前記第1半導体領域内に第3半導体領域を形成する為に、前記第1導電型と反対の第2導電型の第2不純物を導入する工程と、を含むことを特徴とする半導体装置の製造方法。

【請求項22】 前記第1絶縁膜形成工程は、半導体基

板上に絶縁膜を堆積する工程と、前記絶縁膜に異方性エッチングを施し、前記第1導体片の側壁に選択的に前記絶縁膜を残す工程と、を含むことを特徴とする請求項21記載の半導体装置の製造方法。

【請求項23】 前記第2導体片は、前記第1導体片の側壁上に前記第3絶縁膜を介して形成されることを特徴とする請求項21記載の半導体装置の製造方法。

【請求項24】 前記第2絶縁膜は酸化珪素からなり、前記第3絶縁膜は窒化珪素からなることを特徴とする請求項23記載の半導体装置の製造方法。

【請求項25】 前記第1導体片の第2の幅は前記第1の幅よりも大であり、前記第2導体片の第4の幅は前記第3の幅よりも大であり、第1及び第2導体片が第2方向に延在されていることを特徴とする請求項21記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、所謂MNOS（メタル・ナイトライド・オキサイド・セミコンダクタ）又はMONOS（メタル・オキサイド・ナイトライド・オキサイド・セミコンダクタ）と称される構造を基本としナイトライドとオキサイドの界面近傍のナイトライドに物理的に異なる位置で電子をトラップすることにより多値の情報記憶を行うことが可能なマルチストレージ形態の不揮発性メモリセルを有する半導体装置、この半導体装置を用いるICカード、更にはそのような半導体装置の製造方法に関し、例えば、マルチストレージ形態の不揮発性メモリをオンチップで備えたICカード用マイクロコンピュータに適用して有効な技術に関する。

【0002】

【従来の技術】MONOS構造の不揮発性メモリセルについて米国特許No. 5768192に記載がある。これは図45の（A）、（B）に例示されるように半導体領域の上にゲート酸化膜1とゲート窒化膜2が積層され、その上にワード線を構成するメモリゲート電極3が設けられ、メモリゲート電極下の半導体領域にソース又はドレイン電極とされる信号電極4、5が形成される。この不揮発性メモリセルは、ゲート酸化膜1との界面近傍のゲート窒化膜2に物理的に異なる位置で電子をトラップすることにより多値の情報記憶を行うことが可能である。ナイトライドへの電子の注入はチャネルホットエレクトロン注入で行なわれる。図45の（A）のようにゲート窒化膜2の右端にホットエレクトロン注入を行う場合には左の信号電極5をソース（ソース（W））、右の信号電極4をドレイン（ドレイン（W））とし、矢印W方向を電子の移動方向とするようにドレイン電流を流し、チャネル中の電子がドレイン近傍の高電界により加速され、ホットエレクトロンとなってゲート窒化膜2のドレイン端に注入される。図45の（B）のようにゲート窒化膜2の左端にホットエレクトロン注入を行う場合

には右の信号電極4をソース（ソース（W））、左の信号電極5をドレイン（ドレイン（W））とし、矢印W方向に電子を移動させる。

【0003】図45の（A）のようにゲート窒化膜2の右端の記憶情報を読み出す場合には右の信号電極4をソース（ソース（R））、左の信号電極5をドレイン（ドレイン（R））として、メモリゲート電極3を選択レベルにすればよい。MOSTランジスタの空乏層はドレイン側に広がるので、メモリセルのスイッチ状態はソース側の閾値電圧状態に大きく依存することになるからである。したがって、図45の（B）のようにゲート窒化膜2の左端の記憶情報を読み出す場合にはソース・ドレインが（A）とは逆になるように、左の信号電極5をソース（ソース（R））、右の信号電極4をドレイン（ドレイン（R））として、メモリゲート電極3を選択レベルにすればよい。ゲート選択レベルよりも閾値電圧の低い消去状態であれば矢印R方向に電子が流れる。

【0004】図45の（C）には1個のメモリセルの平面図が例示される。Fは最小加工寸法を意味する。図46の（A）にはワード線単位の消去（例えば電子の放出）動作に必要な電圧印加状態、（B）はメモリセルアレイ一括による消去動作に必要な電圧印加状態、（C）は書込み（例えば電子の注入）に必要な電圧印加状態、（D）は読み出しに必要な電圧印加状態を例示する。図46の（A）～（D）においてメモリセルに付した楕円形丸印部分が書込み、消去、読み出し対象領域を意味する。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来技術では複数ビット単位で書込みを行うことができない。すなわち、図46の（C）に例示されるように書込み動作ではビット線6に3V、ワード線7に6Vを与えてホットエレクトロン注入を行うが、例えばバイト書込みを行おうとすれば、書込み阻止ビットに対してはビット線に書き込み阻止電圧6Vを印加しなければならない。そうすると、0Vで書き込み非選択にされるワード線との間で大きな電界を生じ、不所望なビットに書込みが行なわれてしまう。また、チャネルホットエレクトロン注入方式であるため書込み電流が大きい。更に、図46の（D）のように読み出し動作では読み出し動作選択メモリセルとの間でビット線6を共有する隣のメモリセルのソース線7をフローティング（F）にしておくことが必要であり、このような仮想接地方式の読み出し動作ではフローティングにされるソース線7の寄生容量のアンバランスによる影響を受け易く、読み出し動作が不安定になる虞がある。

【0006】上記課題の幾つかを解決するものとして本出願人による未だ公知ではない先の出願（特願平11-263155号）がある。これに示される不揮発性メモリセルは図47の（A）に例示されるように半導体領域

上にゲート酸化膜11とゲート窒化膜12が積層され、その上にワード線を構成するメモリゲート電極13が形成され、その両側の半導体領域上にゲート酸化膜14、15を介してスイッチゲート電極16、17が形成され、夫々のスイッチゲート電極16、17下近傍の前記半導体領域にソース又はドレイン電極とされる信号電極18、19が形成される。このメモリセルはスイッチゲート電極16、17が追加されているので図47の

(B)のようにその分だけセルサイズが大きくなっている。このメモリセルに対する消去は図48の(A)に例示されるようにワード線(メモリゲート電極)と基板間に電界をかけて電子を基板に引き抜いて行う。書込みはソースサイドホットエレクトロン注入方式で行う。すなわち、図48の(B)に例示されるように書込み選択メモリセルのワード線20を高電位とし、そのメモリセルにオン状態のスイッチゲート電極16を介してチャネル電流が流れるようにし、メモリゲート電極13と基板及びソース電極18との間に電界を形成する。これにより、ソース電極とされる信号電極18からの電子がスイッチゲート電極16により絞られたチャネルを通過するときに加速されてエネルギーが高められ、これが更にメモリゲート電極・基板間の高電界で加速され、ソース電極とされる信号電極18側のゲート窒化膜12に捕獲される。電子のソースサイド注入によって書込みを行うから、読み出し時のソース・ドレインは書込み時と同じでよく、図48の(C)のように、信号電極19をドレインとし、信号線21をビット線とすればよい。図CのWは書き込み時における電子の注入方向、Rは読み出し動作時の電子の移動方向、Eは消去時の電子の移動方向を意味する。尚、図示はしないが信号電極19側のゲート窒化膜12に電子を注入する場合、そしてそれによる記憶情報を読み出す場合には、ソース・ドレインを入換えるように電圧条件を変えればよい。

【0007】図47のメモリセル構造によればスイッチゲート電極16、17を設けてあるからソース線・ビット線を共有する隣のメモリセルとの分離が可能になり、書込みや読み出し時に隣のメモリセルのソース線をフローティングにしなくてもよい。また、前記ソースサイドホットエレクトロン注入で書き込みを行うから、書き込み電流も低減できる。

【0008】しかしながら、本発明者がそのメモリセル構造を更に検討したところ、以下の点を見出すことができた。第1に、バイト書替えのような複数ビット単位による書替えは実現できない。すなわち、図48の(B)に例示されるように書込み動作ではビット線6に3V、ワード線7に6Vを与えてソースサイドエレクトロン注入を行うが、例えばバイト書込みを行おうとすれば、書込み阻止ビットに対してはビット線に書き込み阻止電圧6Vを印加し、それを受けるスイッチゲート電極を6Vよりも高い電圧に制御しなければならない。そうする

と、0Vで書き込み非選択にされるワード線との間で大きな電界を生じ、書き込み非選択のメモリセルに対して電子の不所望な注入や放出が行なわれてしまう。第2に、ソースサイドエレクトロン注入方式では、スイッチゲート電極とゲート窒化膜との間の酸化シリコンのような絶縁膜にソースサイドからのエレクトロンが注入されて消去・書き込み特性が劣化する。第3に、ソースサイドエレクトロン注入方式であっても、トンネル書き込みに比べれば消費電流が多く、非接触形式で電力供給を受けるICカードなどへの応用には更なる低消費電力の必要性が明らかにされた。第4に、スイッチゲート電極を採用する構成故に前記チャネルホットエレクトロン注入方式のメモリセルに比べて面積が大きくなり、メモリセルのレイアウト及びウェル構造等の点でチップ占有面積を全体として低減させる新たな手段の必要性が本発明者によって明らかにされた。

【0009】本発明の目的は、マルチストレージ形態のメモリセルを用いたメモリに対してバイト書替えのような複数ビット単位による書替えを実現することにある。

【0010】本発明の別の目的は、スイッチゲート電極とゲート窒化膜との間の絶縁膜にソースサイドから電子が注入されることを防止して、書替え耐性を向上させることにある。

【0011】本発明の更に別の目的は、マルチストレージ形態のメモリセルにおけるソースサイドからの書き込み電流を低減させることにある。

【0012】本発明のその他の目的は、オンチップのマルチストレージ形態のメモリセルによる電力消費という点で非接触ICカードへの搭載に最適なマイクロコンピュータ若しくはデータプロセッサのような半導体装置を提供することにある。

【0013】更に、本発明は、上記バイト書替えが可能であって書替え耐性の優れたマルチストレージ形態のメモリセルを比較的容易に製造することができる方法を提供することを目的とするものである。

【0014】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0015】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0016】〔1〕《メモリセル構造と複数ビット書き込み》半導体装置に搭載されるマルチストレージ形態の不揮発性メモリセルは、第1半導体領域(30)上に第1及び第2ゲート絶縁膜(31、32)を介してメモリゲート電極(33)が形成され、その両側の第1半導体領域上に第3ゲート絶縁膜(34、35)を介して第1及び第2スイッチゲート電極(36、37)が形成され、前記夫々のスイッチゲート電極下近傍の前記第1半

導体領域にソース又はドレイン電極とされる第1及び第2信号電極(38, 39)が形成され、前記メモリゲート電極とスイッチゲート電極が夫々第1方向に延在された構成を有する。

【0017】この不揮発性メモリセルは第2ゲート絶縁膜が捕獲しているキャリア例えば電子の量に応じてメモリゲート電極から見た閾値電圧が相違されることで情報記憶が行なわれ、電子の注入が前記ソースサイド注入方式で可能にされる。例えば消去は、メモリゲート電極と第1半導体領域の間に電界をかけて第2ゲート絶縁膜から第1半導体領域に電子を引き抜いて行う。例えば書き込みは、ソースサイド注入方式で行い、メモリゲート電極を高電位とし、そのメモリセルにオン状態のスイッチゲート電極を介してチャネル電流が流れるようにし、メモリゲート電極と第1半導体領域及びソースとされる信号電極との間に電界を形成する。これにより、ソース電極とされる信号電極からの電子がスイッチゲート電極によって絞られたチャネルを通過するときに加速されてエネルギーが高められ、これが更にメモリゲート電極と第1半導体領域との間の高電界で加速され、ソース電極とされる信号電極側の第2ゲート絶縁膜に捕獲される。

【0018】上記メモリセル構造によれば、前記ソースサイド注入で書き込みを行うから、書き込み電流も低減できる。

【0019】特に、メモリゲート電極とスイッチゲート電極が同一方向に並列されたメモリセル構造を採用するから、メモリゲート電極とスイッチゲート電極が共通化された複数のメモリセルには共通のメモリゲート電極に書き込み電圧を印加しても夫々のメモリセルにはそれぞれ固有の第1及び第2信号電極を介して書き込み及び書き込み阻止の電圧状態を与えることができる。このとき、書き込み対象メモリセルとは異なるメモリゲート電極及びスイッチゲート電極を有する書き込み非選択のメモリセルに対してそれらスイッチゲート電極をカットオフ状態にすれば、書き込み非選択メモリセルの第2ゲート絶縁膜に不所望な高電界が作用される事態を阻止することができる。したがって、バイト単位のように複数のメモリセル単位で書き込みを行うことができる。

【0020】上記不揮発性メモリセルによる情報記憶の類型を説明する。前記1個の不揮発性メモリセルは、前記第2ゲート絶縁膜の第1スイッチゲート電極側にキャリア例えば電子が捕獲された第1状態(第1書き込み状態)、前記第1状態の捕獲電子が減少された第2状態(第1消去状態)、前記第2ゲート絶縁膜の第2スイッチゲート電極側に電子が捕獲された第3状態(第2書き込み状態)、又は前記第3状態の捕獲電子が減少された第4状態(第2消去状態)に応じて、2ビットの情報を記憶する。

【0021】MOS型トランジスタの閾値電圧はソース側に注入されている電荷の影響を主として受けるので、

上記マルチストレージ形態のメモリセルに対してはソース・ドレインを入換えてリード動作を行うことにより、1個の不揮発性メモリセルから2ビットの記憶情報を前後して得ることができる。具体的には次のように行うことが可能である。前記第2スイッチゲート電極で選択される第2信号電極の電位が前記第1スイッチゲート電極で選択される第1信号電極の電位よりも高くされることにより前記第1状態又は第2状態の1ビットの記憶情報の読み出しを行うことができる。また、前記第1スイッチゲート電極で選択される第1信号電極の電位が前記第2スイッチゲート電極で選択される第2信号電極の電位よりも高くされることにより前記第3状態又は第4状態の1ビットの記憶情報の読み出しを行うことができる。

【0022】〔2〕《メモリセルアレイ》複数の前記不揮発性メモリセル(MC)をマトリクス配置したメモリセルアレイに着目する。メモリセルアレイは、前記第1及び第2信号電極が結合され前記第1方向とはほぼ直交な第2方向に延在される第1及び第2信号配線を有し、前記第1及び第2信号配線は第2方向に並列する複数の不揮発性メモリセルに共有され、前記メモリゲート電極及びスイッチゲート電極は第1方向に並列する複数の不揮発性メモリセルに共通化される。

【0023】第1方向に隣接してメモリゲート電極が共通の1対の前記不揮発性メモリセルに対しては、前記第1又は第2信号電極の何れか一方を共通化し、他方を個別化して、対応する第1及び第2信号配線に接続する構成を採用してよい。これにより、信号配線の数減らすことができ、メモリセルアレイによるチップ占有面積の低減に寄与する。

【0024】〔3〕《消去》前記第1半導体領域をウェル領域とすると、前記メモリゲート電極と第1及び第2スイッチゲート電極を共有する複数の前記不揮発性メモリセルを、電気的に分離された複数のウェル領域(30m, 30n)に分割配置し、前記ウェル領域と前記メモリゲート電極との間の電位差に応じて前記第2ゲート絶縁膜からウェル領域に電子を放出させる。これにより、ウェル領域単位でメモリセルの消去のような電子放出を行うことができる。ウェル単位の消去が可能であれば例えば、バイト毎のウェル分離によりバイト毎の消去動作が可能となるが、ウェル領域の分割数が多くなると、ウェル分離領域が相対的に増大することによりメモリセルアレイのチップ占有面積が大きくなる。

【0025】ウェル領域の分割数を減らしても少数のビット単位で消去可能にするには、前記第1又は第2スイッチゲート電極で選択される前記第1又は第2信号電極と前記第1半導体領域との間の電位差に応じて前記第2ゲート絶縁膜から第1半導体領域に電子を放出させるようにすればよい。これにより、前記第1又は第2信号電極という最小単位で消去動作可能になる。

【0026】メモリゲート電極を最小単位として消去可

能にするには、前記第1又は第2スイッチゲート電極で選択される信号電極とメモリゲート電極との電位差に応じて前記第2絶縁膜からメモリゲート電極に電子を放出させるようにすればよい。

【0027】〔4〕《低消費電力と書き換え耐性の向上》前記第1及び第2ゲート絶縁膜下の第1半導体領域に当該絶縁膜の幅寸法以下の幅をもって高濃度不純物領域(60, 80)を形成する。前記第2ゲート絶縁膜の第1スイッチゲート電極側又は第2スイッチゲート電極側に電子を捕獲させるとき、前記第1半導体領域に逆方向基板バイアス電圧(p型の第1半導体領域の場合には負の基板バイアス電位)を与える。これにより、高濃度不純物領域のところで第1及び第2ゲート絶縁膜の縦方向(積層方向)に強電界を生ずると共に、高濃度不純物領域直下でホールが第1半導体領域に引き込まれ、結果として2次電子が発生し、ソースから供給される電子と共にその2次電子も第2ゲート絶縁膜に注入される。これにより、メモリゲート電極とソース電極間の電界が小さくても、短時間でホットエレクトロンを生成して第2ゲート絶縁膜に注入することができる。したがって、ビット線から供給すべき書き込み電流を減らすことができるので低消費電力を促進でき、書き込み時間の短縮も可能になり、その上、メモリゲート電極とソース電極間の電界が小さいのでスイッチゲート電極とゲート窒化膜との間の絶縁膜にソースサイドから電子が注入される確率も下がり、書き換え耐性も向上する。特に高濃度不純物領域は第2ゲート絶縁膜下の第1半導体領域に局部的に設けられているだけであるから、ソースやドレインの接合耐圧を劣化させずに基板バイアス電圧を印加することができる。

【0028】〔5〕《センスアンプ数の削減》前述のように、MOS型トランジスタの閾値電圧はソース側に注入されている電荷の影響を主として受けるので、ソース・ドレインを入換えてリード動作を行うことにより、1個の不揮発性メモリセルから2ビットの記憶情報を前後して得ることができる。ソース・ドレインを入換えて読み出し動作を行う性質上、読み出し情報を検出するためのセンスアンプをメモリセルの第1及び第2信号電極の夫々に対応させて別々に設けてもよい。チップ占有面積の低減という観点よりすると、メモリセルの第1及び第2信号電極の双方にセンスアンプを共用させる構成を採用するとよい。例えば、読み出し動作時にソースとされる信号電極にセンスアンプを選択的に切替え接続する。或は、前記不揮発性メモリセルの第1信号電極に第1信号配線を接続し、前記不揮発性メモリセルの第2信号電極に第2信号配線を接続し、前記第1信号配線及び前記第2信号配線をプリチャージ可能なプリチャージ回路(53)、前記第1信号配線のレベル変化を検出するセンスアンプ(50)、及び制御回路(54, 104)を設け、前記制御回路には、リードアドレスに応じて第1

又は第2信号電極の何れか一方を高電位に他方を低電位とするように前記プリチャージ回路にプリチャージ動作させ、プリチャージ完了後、センスアンプに第1信号配線におけるレベル変化の有無を検出させるようにしてもよい。

【0029】〔6〕《ICカード》前記マルチストレージ形態の不揮発性メモリセルを搭載した半導体装置は、マイクロコンピュータやデータプロセッサ等のデータ処理LSI、特定用途向けにシステムオンチップを実現するシステムLSI、或は不揮発性メモリLSIとして実現可能である。例えばマイクロコンピュータ若しくはデータプロセッサ等のデータ処理LSIを想定すると、その半導体装置は、前記不揮発性メモリセルを記憶素子として有するメモリ回路(MEM)と、前記メモリ回路をアクセス可能なCPU(110)と、前記CPUに接続される外部インタフェース回路(113)とを1個の半導体チップに有して構成することができる。

【0030】このような半導体装置をICカード用マイクロコンピュータとすれば、ICカードは、カード基板に、前記半導体装置と、前記半導体装置の前記外部インタフェース回路に接続するカードインタフェース端子を設けて構成することが可能である。非接触ICカードの場合にはカード基板にアンテナを有し、例えば交流磁界によって電力伝送を、電磁誘導による通信を、非接触で行うことができる。或は電力伝送と情報通信の双方を電磁誘導で行ってもよい。また、電力伝送だけを非接触で行ってもよい。

【0031】〔7〕《半導体装置の製造方法》前記マルチストレージ形態の不揮発性メモリセルの内、第2ゲート絶縁膜直下の第1半導体領域に高濃度不純物領域を持つメモリデバイス構造を製造する方法の観点による発明は、メモリゲート電極をマスクとして高濃度不純物を第1半導体領域に導入する第1製造方法と、スイッチゲート電極をマスクとして高濃度不純物を第1半導体領域に導入する第2製造方法に大別される。

【0032】第1製造方法は、(a)半導体基板の主面に第1導電型(p型)の第1半導体領域(30)を形成する工程と、(b)前記第1半導体領域上の前記半導体基板の主面に、順に第1絶縁膜、第2絶縁膜を形成する工程と、(c)前記第2絶縁膜上に、前記半導体基板の主面の第1方向において第1の幅を有し、前記第1方向に対してほぼ垂直な第2方向において第2の幅を有する第1導体片(メモリゲート電極)を形成する工程と、

(d)前記第1方向において、前記第1導体片の下部の前記第1半導体領域内に、選択的に第2半導体領域(高濃度不純物領域60)を形成する為に、前記第1導電型の第1不純物(p型:B)を導入する工程と、(e)前記第1方向において、前記第1導体片の側壁に第3絶縁膜を形成する工程と、(f)前記第1方向における前記第1導体片の両端に前記第3絶縁膜を介して、前記第1

方向において第3の幅を有し、前記第2方向において第4の幅を有する第2及び第3導体片（スイッチゲート電極）を形成する工程と、（g）前記第1方向において、前記第2及び第3導体片の前記第1導体片と反対側の前記第1半導体領域内に第3半導体領域（ソース/ドレイン）を形成する為に、前記第1導電型と反対の第2導電型（n型）の第2不純物を導入する工程とを含む。

【0033】前記第2半導体領域の形成工程は、更に、前記第1導体片の両端の前記第1半導体領域に、前記第2導電型の第3不純物（n型：As）を導入する工程を含み、前記第3不純物は前記半導体基板の主面に対し第1の角度を持ってイオン打ち込みされ、前記第1不純物は前記半導体基板の主面に対し第2の角度を持ってイオン打ち込みされ、前記第1の角度は、前記第2の角度よりも大きくされてよい。これにより、第1不純物による高濃度不純物領域としての第2半導体領域が第1導体片の第1方向両端から外側にはみ出してもその部分の不純物濃度を後から修正できるから、第2半導体領域を高精度に作ることができる。

【0034】前記第1導体片の第2の幅を前記第1の幅よりも大きくし、前記第2導体片の第4の幅を前記第3の幅よりも大きくして、第1及び第2導体片を第2方向に延在させるようにしてよい。これによって製造されるメモリセルは前述の通りバイト単位のような複数ビット単位で書替え可能になる。

【0035】前記第1絶縁膜は酸化珪素から構成し、前記第2絶縁膜は窒化珪素から構成してよい。

【0036】前記第2製造方法は、（a）半導体基板の主面に第1導電型（p型）の第1半導体領域（30）を形成する工程と、（b）前記第1半導体領域上に所定の間隔で、前記半導体基板の主面の第1方向において第1の幅を有し、前記第1方向に対してほぼ垂直な第2方向において第2の幅を有する2つの第1導体片（スイッチゲート電極）を形成する工程と、（c）前記第1導体片の間の領域において、前記第1導体片の側壁に第1絶縁膜を形成する工程と、（d）前記第1導体片の間の領域であって、前記第1導体片の側壁に形成された第1絶縁膜に挟まれた領域の前記第1半導体領域内に、第2半導体領域（高濃度不純物領域80）を形成する為に前記第1導電型の第1不純物（p型：B）を導入する工程と、（e）前記第1導体片の間の領域において、前記半導体基板の表面に第2絶縁膜及び第3絶縁膜を形成する工程と、（f）前記第3絶縁膜上に前記第1方向において第3の幅を有し、前記第2方向において第4の幅を有する第2導体片（メモリゲート電極）を形成する工程と、（g）前記第1方向において、前記第1導体片の前記第2導体片と反対側の前記第1半導体領域内に第3半導体領域（ソース/ドレイン）を形成する為に、前記第1導電型と反対の第2導電型の第2不純物（n型）を導入する工程とを含む。

【0037】第2製造方法において、前記第1絶縁膜形成工程は、半導体基板上に絶縁膜を堆積する工程と、前記絶縁膜に異方性エッチングを施し、前記第1導体片の側壁に選択的に前記絶縁膜を残す工程と、を含んでよい。

【0038】前記第2導体片は、前記第1導体片の側壁上に前記第3絶縁膜を介して形成されてよい。前記第2絶縁膜は酸化珪素から構成し、前記第3絶縁膜は窒化珪素から構成してよい。

【0039】前記第1導体片の第2の幅を前記第1の幅よりも大きく、前記第2導体片の第4の幅を前記第3の幅よりも大きくして、第1及び第2導体片を第2方向に延在させてよい。これによって製造されるメモリセルは前述の通りバイト単位のような複数ビットまとめた書き込みなどが可能になる。

【0040】

【発明の実施の形態】《MONOSメモリセル構造》図1には本発明に係る不揮発性メモリセルの縦断面図が例示され、図2にはその不揮発性メモリセルの平面レイアウトが例示される。図1は図2のA-A'断面図になっており、ソースサイド注入方式による電子注入位置の異なる2種類の状態を（A）、（B）で示している。同図に示される不揮発性メモリセルはソースサイドからの電子の注入位置に応じて1個で2ビットの情報を記憶することができる。

【0041】図1に例示される不揮発性メモリセルは、半導体領域例えばp型のウェル領域30にゲート酸化膜31とゲート窒化膜32が積層され、その上にワード線を構成するメモリゲート電極（メモリゲート）33が形成され、その両側の半導体領域上にゲート酸化膜34、35を介してスイッチ制御線を構成するスイッチゲート電極（サイドゲート）36、37が形成され、夫々のスイッチゲート電極36、37下近傍の前記半導体領域にソース又はドレイン電極とされる信号電極38、39が形成される。前記ゲート窒化膜32及びメモリゲート電極33とスイッチゲート電極36、37の間には層間絶縁膜40が介在されている。

【0042】この不揮発性メモリセルに対する消去は例えばメモリゲート電極33とウェル領域30との間に電界をかけて電子をウェル領域30に引き抜いて行う。書込みはソースサイドホットエレクトロン注入方式で行う。例えば図1の（A）において、メモリゲート電極33を高電位とし、そのメモリセルにオン状態のスイッチゲート電極36を介してチャネル電流が流れるようにし、メモリゲート電極33とウェル領域30及びソース電極38との間に電界を形成する。これにより、ソース電極とされる信号電極38からの電子がスイッチゲート電極36により絞られたチャネルを通過するときに加速されてエネルギーが高められ、これが更にメモリゲート電極33とウェル領域30間の高電界で加速され、ソー

ス電極とされる信号電極38極側からゲート窒化膜32に捕獲される。電子のソースサイド注入によって書き込みを行うから、読み出し時のソース・ドレインは書き込み時と同じでよく、信号電極39をドレインとし、信号電極38をソースとすればよい。図1の(A)はシリコン窒化膜の左側に電子を注入する場合を想定し、(B)はシリコン窒化膜の右側に電子を注入する場合を想定している。図においてWは書き込み時における電子の注入方向、Rは読み出し動作時の電子の移動方向を意味する。

【0043】図1の不揮発性メモリセルを製造する場合には、まず、シリコン基板上にフィールド酸化膜41を形成した後メモリセル領域にゲート酸化膜31を形成し、その上にシリコンナイトライドによるゲート窒化膜32を構成する。その上に、第1層目ポリシリコンを加工してメモリゲート電極(ワード線)33を形成し、露出した部分のゲート酸化膜31とゲート窒化膜32を除去した後スイッチゲート電極のためのゲート酸化膜34、35及び層間絶縁膜40を形成する。その後、第2層目ポリシリコンを堆積し、メモリゲート電極(ワード線)33と平行にスイッチゲート電極36、37を形成する。メモリゲート電極33とスイッチゲート電極36、37をマスクとしてイオン注入を行い、ソース又はドレイン電極とされる信号電極38、39が形成される。その後、表面全体に層間絶縁膜を堆積し、コンタクト孔42を開孔し、アルミニウム等のメタルを堆積して、信号配線としてのデータ線43、44、45を形成する。

【0044】図2の平面レイアウトは左右2個の不揮発性メモリセルMCを最小単位として示しており、一方の信号電極38は双方のメモリセルMCに共通化されてデータ線44に接続されている。他方の信号電極39は左右2個のメモリセルMCに個別化されて夫々別々のデータ線43、45に接続されている。図2より明かなように、メモリゲート電極33とスイッチゲート電極36、37はデータ線とほぼ直角な向きに延在されている。

【0045】図3には図2の最小単位のメモリセルレイアウトを複数倍した構成が例示される。図2の最小単位のメモリセルレイアウトは、4ビット1ワードの構成に相当されるから、図3は8ビット4ワード分の回路ブロックが2組配置された構成になる。メモリゲート電極33は横方向に隣接するもの同士が接続されてワード線を構成し、スイッチゲート電極36、37は横方向に隣接するもの同士が接続されてスイッチ制御線を構成している。

【0046】図2及び図3に示されるように、メモリゲート電極33が共通で隣接する1対の前記不揮発性メモリセルMCに対して、一方の信号電極38を共通化し、他方の信号電極39を個別化して、それらに対応するデータ線43、44、45に接続する構成を採用することにより、データ線の数減らすことができ、メモリセル

アレイのチップ占有面積を低減させることが可能になる。

【0047】図4は図3のA-A'断面を示し、図5は図3のB-B'断面を示す。図4及び図5の構成は1ワード当たり8ビット毎にp型ウェル領域(Pwell)30に形成され、その間はn型ウェル領域(Nwell)48で分離されている。

【0048】《消去・書き込み・読み出し》図6は図3のレイアウトパターンに応ずる回路構成を示し、特に消去動作のための電圧印可状態が例示される。便宜上ここでは、延在された前記メモリゲート電極33にh, i, j, kのサフィックスを付してワード線33h~33kと表し、延在されたスイッチゲート電極36、37をスイッチ制御線36h, 37h~36k, 37kとし、延在された前記データ線43、44、45をデータ線43h, 44h, 45h~43k, 44k, 45kと表す。同様にp型ウェル領域30にm, nのサフィックスを付してp型ウェル領域30m, 30nと表す。

【0049】消去動作はウェル領域毎30m, 30nにワード線33h~33k単位で可能にされる。図6では不揮発性メモリセルの楕円の印が付されたソースサイド領域を消去対象とし、例えば、全てのデータ線43h, 44h, 45h~43k, 44k, 45k、非消去行のワード線33h, 33j, 33k、及び消去対象ウェル領域30mに正の高電圧 V_{pp} (6V)を印加し、消去対象行のワード線33iと非消去ウェル領域30nには負電圧 $-V_{pw}$ (-3V)を印加する。そして、消去行のスイッチ制御線(サイドゲート)36i, 37iを0Vに、非消去行の両サイドゲート36h, 37h, 36j, 37j, 36k, 37kには $V_{pp}' > V_{pp} + V_{th}$ (7.5V)を印加する。ここで V_{th} はスイッチゲート電極36、37によって構成されるサイドゲートトランジスタの閾値電圧を意味する。

【0050】これにより、ウェル領域30mにおいてワード線33iに接続された消去対象バイトのメモリセルは、そのメモリゲート電極33と基板(ウェル領域)との間に $V_{pp} + V_{pw}$ の電位差(9V)が加わり、シリコンナイトライド膜32中から電子がシリコン基板(ウェル領域30m)へ引き抜かれると同時に正孔がシリコンナイトライド膜32中に注入されて消去状態とされる。この消去状態においてメモリゲート電極から見た閾値電圧は低くされ、特に制限されないが、ここではディプレッションタイプになるようにされる。ディプリートさせるには、消去時間を長くすればよいが、ウェーブアッププロセス段階でウェル領域に対する不純物濃度を予め制御しておけば好都合である。一方、それ以外の非選択メモリセルにはスイッチゲート電極36、37を介してデータ線43、44、45からチャネルに6Vが供給され、消去が抑止される。

【0051】図7、図8には図6の回路構成において書

き込み動作に必要な電圧印可状態が例示され、図7はスイッチゲート36側のソースサイドに書き込みを行う場合を示し、図8はスイッチゲート37側のソースサイドに書き込みを行う場合を示す。

【0052】図7の場合、ウェル領域30m、30n及び非選択行のワード線33h、33j、33kを $-V_{pw}$ ($-3V$)に、非選択行のスイッチ制御線36h、37h、36j、37j、36k、37kを0Vに保ち、非選択列のデータ線43h、44h、45h、43j、44j、45j、43k、44k、45kに V_{pp} ($6V$)を印加する。そして、選択行のワード線33iを V_{pp} 、選択列のデータ線44i、45iを0V、選択列のデータ線43を6V、選択メモリセルのソース側に接続されたスイッチ制御線36iを V_{ps} ($1.8V$)、選択メモリセルのドレイン側に接続されたスイッチ制御線37iを $V_{pp'}$ ($7.5V$)とする。

【0053】上記電圧条件における書き込み対象はメモリセルMCxのゲート窒化膜の楕円丸印が付されたソースサイドとされ、このソースサイドにはスイッチ制御線36iで絞られたチャネルにデータ線44iから電子が流れ込み、これがメモリゲート電極33iの高電位により加速されて注入される。 V_{ps} はスイッチゲート電極36から成るサイドゲートトランジスタの閾値電圧より僅かに高く設定することで低電流書き込みが実現される。

【0054】図7において書き込み対象メモリセルMCxとワード線33i及びデータ線44iを共有する隣のメモリセルMCwはデータ線45iが0Vにされてチャネル電流の供給が断たれることにより書き込み阻止される。メモリセルMCwに対しても前記メモリセルMCxと同じソースサイドに書き込みを行いたければ、データ線45iを6Vに制御すればよい。一方、前記書き込み対象メモリセルMCxとデータ線43i、44iを共有していてもワード線及びスイッチ制御線の異なるメモリセルMCy、MCz、…は夫々のスイッチ制御線を介してチャネルとデータ線が非導通状態になるように0Vに制御されているから、データ線43i、44iにどのような電圧が印加されてもその非導通状態が維持される。したがって、ワード線を及びスイッチ制御線を共有する複数個のメモリセルに対しては、同一ソースサイドに対してまとめて書き込み及び書き込み阻止を行うことができる。要するに、バイトのような複数ビット単位の書き込みが可能である。

【0055】メモリセルMCxの下側のソースサイドから電子を注入する図8の場合は、ソース・ドレインを交換するためにスイッチ制御線36i、37iの電位を図7とは逆にすると共に、データ線43i、44iの電位を図7とは逆にする。図8ではデータ線44iを共有する隣のメモリセルMCwに対しては書き込み阻止しているので、データ線45iはデータ線44iと同電位の6Vにされる。

【0056】図9、図10には図6の回路構成において読み出し動作に必要な電圧印可状態が例示され、図9はスイッチゲート36側のソースサイドの記憶情報を読み出す場合を示し、図10はスイッチゲート37側のソースサイドの記憶情報を読み出す場合を示す。

【0057】図9及び図10において、ウェル領域30m、30nと全てのワード線33h~33k、非選択行のスイッチ制御線36h、37h、36j、37j、36k、37k、そして非選択列のデータ線43j、44j、45j、43k、44k、45kを、夫々0Vにする。スイッチゲート36側のソースサイドの記憶情報を読み出す図9の場合には、データ線43h、45h、43i、45iにVR ($1.8V$)、データ線44h、44iに0Vを印し、スイッチ制御線36iをVRS ($3V$)、37iをVRD ($4.5V$)とすることにより、4個のメモリセルの楕円丸印の位置がソース、反対側がドレインとなる電圧状態が形成される。このとき、図9の楕円丸印のソースサイドに電子が注入(書き込み)されていればドレインからソースに電流が流れず、電子が放出(消去)されていればドレインからソースに電流が流れる。この相違が後で説明するセンスアンプで検出されて、読み出しデータの論理値が判定される。スイッチゲート37側のソースサイドの記憶情報を読み出す図10の場合にはソース・ドレインが入れ替るようにデータ線43h、44h、45h、43i、44i、45i及びスイッチ制御線36i、37iの電圧を切替えばよい。

【0058】読み出し動作において、ドレイン側スイッチゲート制御線電圧VRDを高くするとドレイン側のチャネル電位がVRDとドレイン電圧により定まってゲート窒化膜32中の蓄積電荷の影響をあまり受けなくなるのでソース側の電荷注入/放出状態による読出し余裕を大きくすることができる。

【0059】《書き込み・読み出し系回路》図11及び図12にはバイト単位の書き込み、読み出しの最小単位回路が例示される。図11は図7及び図9のソースサイドに対する書き込み及び読み出し動作(サイクル1)を想定した時のセンスアンプ及びライトアンプの接続態様を例示し、図12は図8及び図10のソースサイドに対する書き込み及び読み出し動作(サイクル2)を想定した時のセンスアンプ及びライトアンプの接続態様を例示する。

【0060】データ線43h、45h、43i、45iのカラムスイッチT1及びデータ線44h、44iのカラムスイッチT4はバイト単位のカラム選択信号YSiでスイッチ制御される。図示はしないが他のデータ線に対してもバイト単位のカラムスイッチが設けられ、それらカラムスイッチはバイト単位でコモンデータ線CD1~CD6に接続される。カラム選択信号YSiはカラムデコード52で生成される。33iに代表されるワード

線や36i, 37iで代表されるスイッチゲート制御線の駆動信号はロウデコード55で生成される。

【0061】センスアンプ50及びライトアンプ51は一部のコモンデータ線CD1, CD3, CD4, CD6に対応して配置され、コモンデータ線CD2, CD5には選択的な電圧Vp0がプリチャージ可能にされる。例えばコモンデータ線CD1に関する構成を代表として説明する。コモンデータ線CD1はセレクトaS1を介して選択的な電圧Vp1でプリチャージ可能にされ、或はセレクトaS1を介してセンスアンプ50の入力端子に接続される。センスアンプ50は活性化信号SEでその動作が指示されると参照レベルVrefに対する入力信号の差電圧に応じた信号を差動増幅で出力する。その差動増幅の反転出力Do_o又は非反転出力Do_oがセレクトaS2で選択され、出力ゲートT3を介し、信号D1として出力される。非反転信号D1又は反転信号D1_oは入力セレクトaS3で選択されライトアンプ51に供給される。ライトアンプ51は制御信号WEで活性化されることにより入力データに従ってコモンデータ線CD1を駆動する。φ1はセレクトaS1の選択信号、φ2はセレクトaS2, S3の選択信号である。53は動作に応じて電圧Vp0, Vp1を形成するプリチャージ回路、54は制御信号φ1, φ2, SE, WE, WE_o等を生成するタイミングジェネレータである。

【0062】図13には図11及び図12の回路構成による消去、書き込み、及び読み出し動作のタイミングチャートが示される。書き込み及び読み出し対象はウェル領域30mのワード線33iを共有する4個のメモリセルに格納されるべきバイトデータとされる。

【0063】消去動作では電圧Vp0, Vp1及びウェル電位WLがVpp(6V)にされる。

【0064】書き込みのサイクル1ではデータ線44h, 44i側をソースサイドとしてホットエレクトロン注入を行うから、Vp0を0Vとし、書き込みデータD1~D4に応じてCD1, CD3, CD4, CD6を6V(書き込み実行)又は0V(書き込み阻止)にする。書き込みのサイクル2ではデータ線43h, 45h, 43i, 45i側をソースサイドとしてホットエレクトロン注入を行うから、Vp0を6Vとし、書き込みデータD1~D4_oに応じてCD1, CD3, CD4, CD6を6V(書き込み阻止)又は0V(書き込み実行)にする。

【0065】読み出しのサイクル1ではデータ線44h, 44i側のソースサイドの記憶情報を読み出すから、電圧Vp0を0V、電圧Vp1をVR(1.8V)としてデータ線43h, 44h, 45h, 43i, 44i, 45iのプリチャージを行う。この時のセレクトaS1, S2, S3のスイッチ状態は図11の通りである。その後、スイッチS1の選択状態をセンスアンプ50側に切替え、スイッチ制御線36i(SW1), 37i

(SW2)を選択レベルVRS, VRDに切替え、メモリセルのドレインからソースに電流が流れるか(データ線43h, 45h, 43i, 45iからチャージが引き抜かれるか)をセンスアンプ50で検出する。読み出しのサイクル2ではデータ線43h, 45h, 43i, 45i側のソースサイドの記憶情報を読み出すから、今度は逆に、電圧Vp0をVR(1.8V)、電圧Vp1を0Vとしてデータ線43h, 44h, 45h, 43i, 44i, 45iのプリチャージを行う。この時のセレクトaS1, S2, S3のスイッチ状態は図12の通りである。その後、スイッチS1の選択状態をセンスアンプ50側に切替え、スイッチ制御線36i(SW1), 37i(SW2)を選択レベルVRS, VRDに切替え、メモリセルのドレインからソースに電流が流れるか(データ線44h, 44iからチャージが引き抜かれるか)をセンスアンプ50で検出する。

【0066】図11、図12の構成によれば、43hと44hのようにメモリセルの両側に夫々接続するデータ線ペアに1個のセンスアンプを共用させるから、センスアンプの数を減らせることによるチップ占有面積の低減に寄与する。

【0067】《別のMONOSメモリセル構造》図14にはソースサイド注入方式によるマルチストレージ形態の別の不揮発性メモリセルの断面構造が例示される。図15は図14の断面構造を持つ2個の不揮発性メモリセルを最小単位として構成される平面レイアウトを示す。同図に示されるメモリセルの基本的な構造は図1と同じであるが、p型ウェル領域30を形成した後、最初に第1層目ポリシリコンでスイッチゲート電極36, 37を形成した後に、ゲート窒化膜32を有するMONOS構造を形成する、という点で相違する。図15の構造の場合、スイッチゲート電極36, 37の間隔を最小加工寸法にしても、その上にゲート窒化膜32及びメモリゲート電極33を形成するのに多少のマスキずれを生じて支障ない。これに比べて、図1の構造では、メモリゲート電極33上でのスイッチゲート電極36と37との間隔を最小加工寸法とするにはメモリゲート電極33の幅を最小加工寸法F以上にしておかなければならず、しかもマスキ合わせのずれが層間絶縁膜40の厚さに影響するため、マスキ合わせ余裕が必要になる。結果として、図15のデバイス構造によれば、ポリシリコン第1層目と第2層目のマスキ合せ余裕も必要ないため、メモリセルサイズを図1の構造よりも縮小することが可能になる。しかも、マスキ合せずれに伴うメモリセル両サイドの構造に非対称性がなくなり、1個のメモリセルにおける双方のビットの動作特性ばらつきを減少させることができる。

【0068】《高濃度不純物領域付加型第1MONOSメモリセル構造》図16にはソースサイド注入方式によるマルチストレージ形態の更に別の不揮発性メモリセル

の断面構造が例示される。同図に示される不揮発性メモリセルは、図1のメモリセル構造に対し、ゲート窒化膜32の両端直下に位置するウェル領域30にp型高濃度不純物領域60を設けた点が相違される。このような高濃度不純物領域60を形成しておく、書込み時に、ウェル領域30に負電圧($-V_{pw}$)を印加、すなわちウェル領域30に逆方向の基板バイアス電圧を与えれば、高濃度不純物領域60のところでゲート絶縁膜及びゲート窒化膜の界面に垂直な向きに強電界が形成される。すなわち図17のエネルギーバンド図を参照すると、高濃度不純物領域60の無いb-b'方向及びc-c'方向に比べて、高濃度不純物領域60の有るa-a'方向では変化が急峻になっており、これは縦方向の電界強度が増していることを意味する。これにより、高濃度不純物領域60直下でホールがウェル領域30に引き込まれ、結果として2次電子が発生し、メモリセルのソースから供給される電子と共にその2次電子もゲート窒化膜32に注入される。これにより、メモリゲート電極33とソース側の信号電極38との間の電界が小さくても、短時間でホットエレクトロンを生成してゲート窒化膜32に注入することができる。したがって、メモリセルに供給すべき書き込み電流を減らすことができるので低消費電力を促進でき、書き込み時間の短縮も可能になる。その上、メモリゲート電極33とソース側信号電極38との間の電界も小さくできるので、スイッチゲート電極36(37)とゲート窒化膜32との間の絶縁膜40にソースサイドから電子が注入される確率も下がり、メモリセルの書き換え耐性も向上する。特に高濃度不純物領域60はゲート窒化膜32の下でウェル領域30に局部的に設けられているだけであるから、ソースやドレインの接合耐性を劣化させずに逆方向基板バイアス電圧を印加することができる。

【0069】《第1 MONOSメモリセル構造の製法》図16に例示されるメモリセルを有する半導体装置の製造方法を図18乃至図24を参照しながら説明する。

【0070】先ず、図18に例示されるように、単結晶シリコン基板上にフィールド酸化膜61と酸化膜62を形成しp型のウェル領域(第1半導体領域)30を構成する。

【0071】次に、図19に示されるように、メモリ形成領域の酸化膜62を開孔し熱酸化によりトンネル酸化膜(第1絶縁膜)63、シリコン窒化膜(第2絶縁膜)64、酸化膜65、及びポリシリコン66を順に堆積してMONOS構造を形成する。

【0072】次に、図20に示されるように、前記ポリシリコン66を加工してメモリゲート電極(第1導体片)33を形成する。その後、メモリゲート電極33をマスクにして、メモリゲート電極33の内側に向けて斜めにボロン(B)をイオン注入し、続いてヒ素(As)を垂直に注入する。これにより、前記MONOS構造を

成すメモリゲート電極33両端部直下のウェル領域にp型の高濃度不純物領域(第2半導体領域)60を形成する。上述の通り、斜めにボロン(B)をイオン注入し、続いてヒ素(As)を垂直に注入するから、ボロンのイオン注入によるp型の高濃度不純物領域がメモリゲート電極33の外側にはみ出しも、そのはみ出した部分のp型不純物濃度をヒ素注入によって後から修正でき、これによって、高濃度不純物領域60を高精度に作るができる。

【0073】その後、図21に示されるように、窒化膜64、酸化膜65を除去し、熱酸化膜(第3絶縁膜)67(40)を形成した後、周辺トランジスタ領域に薄いゲート熱酸化膜68を形成し、その上から、ポリシリコン69を全体的に堆積する。

【0074】そして、図22に例示されるように、前記ポリシリコン69を加工することによりスイッチゲート電極(第2及び第3導体片)36、37及び周辺MOSトランジスタのゲート電極70を形成する。

【0075】図23に例示されるように、前記スイッチゲート電極36、37及びゲート電極70に側壁スペーサを形成後、ソース電極及びドレイン電極とされるn型不純物領域例えばn型拡散領域が形成され、不揮発性メモリの前記信号電極38、39及び周辺MOSトランジスタの信号電極71、72が形成される。

【0076】その後、図24に例示されるように、全体に層間絶縁膜73を堆積し、その表面を平坦化した後、層間絶縁膜にコンタクト孔を開孔し、メタル配線74を形成する。

【0077】《高濃度不純物領域付加型第2 MONOSメモリセル構造》図25にはソースサイド注入方式によるマルチストレージ形態の更に別の不揮発性メモリセルの断面構造が例示される。同図に示される不揮発性メモリセルは、図14のメモリセル構造に対し、ゲート窒化膜32の両端直下に位置するウェル領域30にp型高濃度不純物領域80を設けた点が相違される。このような高濃度不純物領域80を形成しておく、図16と同様に、書込み時に、ウェル領域30に逆方向の基板バイアス電圧を与えれば、高濃度不純物領域80のところでゲート絶縁膜及びゲート窒化膜の界面に垂直な向きに強電界が形成され、メモリゲート電極33とソース側の信号電極38との間の電界が小さくても、短時間でホットエレクトロンを生成してゲート窒化膜32に注入することができる。したがって、メモリセルに供給すべき書き込み電流を減らすことができるので低消費電力を促進でき、書き込み時間の短縮も可能になる。その上、メモリゲート電極33とソース側信号電極38との間の電界も小さくできるので、スイッチゲート電極36(37)とメモリゲート電極33との間の領域にソースサイドから電子が注入される確率も下がり、メモリセルの書き換え耐性も向上する。特に高濃度不純物領域80はゲート窒

化膜32の下でウェル領域30に局部的に設けられているだけであるから、ソースやドレインの接合耐圧を劣化させずに逆方向基板バイアス電圧を印加することができる。

【0078】《第2MONOSメモリセル構造の製法》図25に例示されるメモリセルを有する半導体装置の製造方法を図26乃至図32を参照しながら説明する。

【0079】先ず、図26に例示されるように、単結晶シリコン基板上にフィールド酸化膜61と酸化膜62を形成しp型のウェル領域(第1半導体領域)30を構成する。

【0080】酸化膜62を除去し、図27のように、スイッチゲート絶縁膜84及び周辺MOSトランジスタゲート酸化膜81を形成した後、ポリシリコンを堆積、加工してスイッチゲート電極(第1導体片)36、37及び周辺MOSトランジスタのゲート電極82を形成する。

【0081】次に、図28に例示されるようにゲート電極36、37、82に側壁スペーサ83、83Aを形成後、側壁スペーサ83A(第1絶縁膜)の間に挟まれた領域にボロン(B)を垂直にイオン注入し、スイッチゲート電極36、37の間にp型の高濃度不純物領域80を形成する。前記側壁スペーサ83、83Aの形成は、表面全体に絶縁膜を堆積し、前記絶縁膜に異方性エッチングを施し、前記ゲート電極36、37、82の側壁に選択的に前記スペーサを残せばよい。

【0082】図29のように、側壁スペーサ83、83Aを除去した後、トンネル酸化膜86、シリコン窒化膜87、酸化膜88を形成し、その上から全体にポリシリコン膜89を堆積する。

【0083】次に、図30のように、ポリシリコン膜89を加工し、残ったポリシリコン膜89をマスクとして、酸化膜88及びシリコン窒化膜87を部分的に除去し、残った部分でシリコン窒化膜32及びメモリゲート電極(第2導体片)33が構成される。前記シリコン窒化膜32及びメモリゲート電極33はスイッチゲート電極36、37に重なっていてその外方に飛び出さなければ何ら支障はない。要するに、第1層目ポリシリコン膜で成るスイッチゲート電極36、37の間隔寸法に関しては高い加工精度を要するが、第1層目ポリシリコン膜に対する第2層目ポリシリコン膜のマスク合わせには高精度を要しない。

【0084】その後、図31に示されるように、側壁スペーサを形成後、ソース電極及びドレイン電極とされるn型不純物領域例えばn型拡散領域が形成され、不揮発性メモリの前記信号電極38、39及び周辺MOSトランジスタの信号電極91、92が形成される。

【0085】更に、図32に例示されるように、全体に層間絶縁膜93を堆積し、その表面を平坦化した後、層間絶縁膜にコンタクト孔を開口し、メタル配線94を形

成する。

【0086】《消去の別の例》図33には消去の別の例が示される。同図に示される例は、ウェル領域の電位を0Vとしたまま、消去側ビットのサイドゲートに V_{pp} 、データ線に V_{pp} を印加して消去を行う。ウェル領域を細かく分離しなくても最小2ビット単位の消去が可能となり、チップ占有面積の縮小に寄与する。

【0087】図34には消去の更に別の例が示される。トンネル酸化膜を3nm以上にすることによりシリコン基板からのトンネル注入を抑止して、ポリシリコンゲートへ電子を引き抜くことで消去を行うようにする。即ち、ウェル領域を0Vにしたまま、消去メモリセルのワード線に V_{pp} 、サイドゲートに V_{pp} を印加する。消去選択中の非消去セルにはデータ線に V_{pp} を印加し、消去を抑止する。ウェル分離をすることなくして4bit単位の消去が可能となり、チップ占有面積の縮小に寄与する。図34の消去方式は図33の場合よりも消去ディスタースが小さい。

【0088】図33及び図34の消去を行う場合には、図35及び図36に例示されるように、8ビット単位でウェル領域を分離する必要がないから図4及び図5のような前記n型ウェル領域48が不要である。

【0089】《平面レイアウトの別の例》図37には図2の最小単位に対する平面レイアウトの別の例が示される。同図に示されるレイアウトは、図2の単位パターンを図の縦方と共に横方法においても隣同士上下反転させて並列されている。要するに、横方向の信号電極36、37が隣同士交互に接続されて延在される。このレイアウト構成により、コンタクト孔42が図3に比べて均一に分布される。したがって、コンタクト孔42の加工余裕を増大させることができる。

【0090】図38は図37の平面レイアウトに対応される読み出しの最小単位回路が例示される。図37の構成は図3に対して横方向の信号電極36、37が隣同士交互に接続されて延在される関係を有するから、図38の回路構成は図11の回路構成に対して左右の線データ線のソースとドレインの割り当てが相違される。すなわち、データ線44hがメモリセルのソースに、データ線43h、45hがメモリセルのドレインに接続されるとき、隣のデータ線44iがメモリセルのドレインに、データ線43i、45iがメモリセルのソースに接続されることになる。そのために、プリチャージ回路53は電圧 V_{p0} 、 V_{p1} 、 V_{p2} 、 V_{p3} を生成し、データ線44hには電圧 V_{p0} を、データ線43h、45hには電圧 V_{p1} を印加可能とし、データ線44iには電圧 V_{p2} を、データ線43i、45iには電圧 V_{p3} を印加可能とする。

【0091】図39には図38の回路構成による消去、書き込み及び読み出し動作タイミングが例示される。図38の回路構成は前述のようにメモリセルのソース・ド

ラインへのデータ線の接続割り当てが切替えられるから、書き込み動作では電圧 V_{p0} と電圧 V_{p2} はサイクル1とサイクル2で逆相で変化される。同様に、読み出し動作では電圧 V_{p0} 、 V_{p1} と V_{p2} 、 V_{p3} とが逆相で変化される。

【0092】《ICカードへの応用》図40には前記不揮発性メモリセルMCを適用した不揮発性メモリMEMが例示される。同図に示される不揮発性メモリMEMは、特に制限されないが、図11の回路構成に対応される。図40において100で示されるものは前記メモリセルMCがマトリクス配置されたメモリセルアレイである。メモリセルのワード線はワード線デコーダ55Aで選択駆動され、スイッチゲート制御線はスイッチデコーダ55Bで選択駆動される。夫々のデコーダ55A、55Bは図11の回路55に対応され、外部からアドレスバッファ105に供給されるアドレス信号をデコードし、デコード結果にしたがってワード線、スイッチゲート制御線を選択する。101で示される回路ブロックは前記スイッチT1、T4のアレイから成るカラム選択回路である。102で示される回路ブロックは前記スイッチS1、S2、S3、センスアンプ50、及び書き込みアンプ51のアレイである。103で示される回路ブロックはデータ入出力バッファであり、前記センスアンプ50及び書き込みアンプ51に接続可能にされる。不揮発性メモリMEMの全体的なタイミング制御及び電源制御は、前記タイミング制御回路54による機能以外をモード制御回路104が行う。前記タイミング制御回路54及びモード制御回路104が不揮発性メモリMEMの制御回路を構成する。

【0093】図41には図40に代表されるような不揮発性メモリMEMを内蔵するマイクロコンピュータが示される。同図に示されるマイクロコンピュータMCUは、CPU110、外部インタフェース回路(IOP)113、RAM111、及び前記不揮発性メモリMEMを有する。CPUは命令をフェッチして解釈し、解釈結果に従って演算処理を行う。例えば、ICカード用のマイクロコンピュータを想定すると、セキュリティ制御のための積和演算ロジックなどを有している。RAM111はCPU110のワーク領域若しくはデータ一次記憶領域として利用される。不揮発性メモリMEMは前記CPUの動作プログラムを格納すると共に、データ情報の記憶領域として利用される。不揮発性メモリMEMに対するアクセス制御はCPU110が行う。外部インタフェース回路113は外部からのコマンド入力やデータ入出力に利用される。

【0094】内蔵不揮発性メモリを前記不揮発性メモリMEMのように全て電氣的に書き換え可能にすることにより、一部の不揮発性メモリをマスクROMにする場合に比べて、記憶情報の書き換えが可能になるから、TAT(ターン・アラウンド・タイム)若しくは設計期間の

大幅縮小に寄与する。

【0095】また、図42に例示されるように、内蔵不揮発性メモリの一部を前記メモリMEMとし、残りを図47及び図48で説明したチップ占有面積の小さなメモリセルを備えた不揮発性メモリ114としてもよい。図47及び図48で説明したメモリセルの構造は図14、図15及び図25と製造工程に互換性がある。図42の構成により、内蔵不揮発性メモリの大容記憶量化を図ることが可能になる。

【0096】図43には図41又は図42に例示されるマイクロコンピュータを適用したICカード130が示される。同図に示されるICカード130は接触型のICカードであり、プラスチック製などのカード基板120に前記マイクロコンピュータMCUが埋め込まれ、マイクロコンピュータMCUのインタフェース回路113に図示を省略するカード基板内配線に接続されたカードインタフェース端子121が表面に露出して設けられる。カードインタフェース端子121はカードリーダやカードライタなどを有する図示を省略するカード端末装置内部のリード端子と接触して情報伝達に利用される。

【0097】図44には図41又は図42に例示されるマイクロコンピュータを適用した別のICカード131が示される。同図に示されるICカード131は非接触型のICカードであり、プラスチック製などのカード基板120に、前記マイクロコンピュータMCUの他に、前記マイクロコンピュータMCUの前記外部インタフェース回路113に接続する高周波インタフェース回路122、及び前記高周波インタフェース回路122に接続されるアンテナ123が設けられて構成される。図44ではカード基板120の表面保護蓋を取り外した状態を示している。非接触ICカードの場合には、例えば交流磁界による電力伝送、電磁誘導による情報通信を、非接触で行うことができる。非接触で電力供給が行なわれる性質上、前述の通り書き込み電流を小さく出来得る前記メモリセルMCを搭載した不揮発性メモリMEMを用いているから、非接触ICカードに最適である。

【0098】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれ限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0099】例えば、不揮発性メモリセルはnチャンネル型に限定されず、pチャンネル型であってもよい。また、不揮発性メモリセルに対する消去、書き込み、及び読み出しのための電圧印加態様は上記に限定されず、デバイスプロセス、サイズ或は耐圧などとの関係で適宜変更可能である。また、メモリセルはMONOS構造に限定されず、MNOS構造であってもよい。但しその場合にはMONOS構造の場合よりもゲート窒化膜を相対的に厚く形成することが必要になる。また、メモリセルアレイの構成は図11等のように隣接メモリセルの信号電極3

8に同一データ線を共有させ、センスアンプの数を低減する構成に限定されない。信号電極38、39の夫々に別々のセンスアンプを割当ててデータ読み出しを行うようにしてもよい。また、非接触ICカードへの適用を想定した時、電力伝送と情報通信の双方を電磁誘導で行ってもよい。また、電力伝送だけを非接触で行ってもよい。

【0100】本発明はICカード用のマイクロコンピュータに適用する場合に限定されず、低消費電力、チップ占有面積低減などを必要とする種々のマイクロコンピュータ、その他のデータ処理LSI、更にはメモリLSIなどにも広く適用することができる。

【0101】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0102】すなわち、ワード線とソース・ドレインとされる信号電極を同じ方向に延在させて不揮発メモリセルを構成するから、マルチストレージ形態のメモリセルを用いたメモリに対してバイト書替えのような複数ビット単位による書替えを実現することができる。

【0103】ソースサイド注入方式で書き込みを行うから、マルチストレージ形態のメモリセルにおけるソースサイドからの書き込み電流を低減させることができる。

【0104】チャネル部分に高濃度不純物領域を形成しておくから、書き込み時にチャネル部分を逆方向に基板バイアスすることにより、更に書き込み電流を少なくでき、その上、スイッチゲート電極とゲート窒化膜との間の絶縁膜にソースサイドから電子が注入されることを防止でき書き換え耐性を向上させることができる。

【0105】オンチップのマルチストレージ形態のメモリセルによる電力消費という点で非接触ICカードへの搭載に最適なマイクロコンピュータ若しくはデータプロセッサのような半導体装置を実現することができる。

【0106】上記バイト書替えが可能であって書替え耐性の優れるマルチストレージ形態のメモリセルを比較的容易に製造することができる。

【図面の簡単な説明】

【図1】本発明に係る不揮発性メモリセルを例示する縦断面図である。

【図2】図1の不揮発性メモリセルの平面レイアウト図である。

【図3】図2の最小単位のメモリセルレイアウトを複数倍展開したメモリセルアレイの平面レイアウト図である。

【図4】図3のA-A'断面図である。

【図5】図3のB-B'断面図である。

【図6】図3のレイアウトパターンに応ずる回路構成を消去動作のための電圧印可状態と共に例示する回路図である。

【図7】図6の回路構成において書き込み動作に必要な電圧印可状態としてスイッチゲート36側のソースサイドに書き込みを行う場合を例示する回路図である。

【図8】図6の回路構成において書き込み動作に必要な電圧印可状態としてスイッチゲート37側のソースサイドに書き込みを行う場合を例示する回路図である。

【図9】図6の回路構成において読み出し動作に必要な電圧印可状態として、スイッチゲート36側のソースサイドの記憶情報を読み出す場合を例示する回路図である。

【図10】図6の回路構成において読み出し動作に必要な電圧印可状態として、スイッチゲート37側のソースサイドの記憶情報を読み出す場合を例示する回路図である。

【図11】バイト単位の書き込み、読み出しの最小単位回路を例示すると共に、図7及び図9のソースサイドに対する書き込み及び読み出し動作（サイクル1）を想定した時のセンスアンプ及びライトアンプの接続態様を例示する回路図である。

【図12】バイト単位の書き込み、読み出しの最小単位回路を例示すると共に、図8及び図10のソースサイドに対する書き込み及び読み出し動作（サイクル2）を想定した時のセンスアンプ及びライトアンプの接続態様を例示する回路図である。

【図13】図11及び図12の回路構成による消去、書き込み、及び読み出し動作のタイミングチャートである。

【図14】ソースサイド注入方式によるマルチストレージ形態の別の不揮発性メモリセルの構造を例示する断面図である。

【図15】図14の断面構造を持つ2個の不揮発性メモリセルを最小単位として構成される平面レイアウトの構成図である。

【図16】ソースサイド注入方式によるマルチストレージ形態の更に別の不揮発性メモリセルとしてチャネル部分に高濃度不純物領域を有するメモリセル構造を例示する断面図である。

【図17】図16のa-a'、b-b'、c-c'断面部分のエネルギーバンド図である。

【図18】図16に例示されるメモリセルを有する半導体装置の製造方法の一つの過程を例示する縦断面図である。

【図19】図16に例示されるメモリセルを有する半導体装置の製造方法の次の過程を例示する縦断面図である。

【図20】図16に例示されるメモリセルを有する半導体装置の製造方法の次の過程を例示する縦断面図である。

【図21】図16に例示されるメモリセルを有する半導体装置の製造方法の次の過程を例示する縦断面図である。

る。

【図22】図16に例示されるメモリセルを有する半導体装置の製造方法の次の過程を例示する縦断面図である。

【図23】図16に例示されるメモリセルを有する半導体装置の製造方法の次の過程を例示する縦断面図である。

【図24】図16に例示されるメモリセルを有する半導体装置の製造方法の次の過程を例示する縦断面図である。

【図25】ソースサイド注入方式によるマルチストレージ形態の更に別の不揮発性メモリセルとしてチャネル部分に高濃度不純物領域を有するメモリセル構造を例示する断面図である。

【図26】図25に例示されるメモリセルを有する半導体装置の製造方法の一つの過程を例示する縦断面図である。

【図27】図25に例示されるメモリセルを有する半導体装置の製造方法の次の過程を例示する縦断面図である。

【図28】図25に例示されるメモリセルを有する半導体装置の製造方法の次の過程を例示する縦断面図である。

【図29】図25に例示されるメモリセルを有する半導体装置の製造方法の次の過程を例示する縦断面図である。

【図30】図25に例示されるメモリセルを有する半導体装置の製造方法の次の過程を例示する縦断面図である。

【図31】図25に例示されるメモリセルを有する半導体装置の製造方法の次の過程を例示する縦断面図である。

【図32】図25に例示されるメモリセルを有する半導体装置の製造方法の次の過程を例示する縦断面図である。

【図33】消去の別の例を示す回路図である。

【図34】消去の更に別の例を示す回路図である。

【図35】図33及び図34の消去を行う場合のメモリセルアレイにおける一方の信号電極を縦断する構造の断面図である。

【図36】図33及び図34の消去を行う場合のメモリセルアレイにおける他方の信号電極を縦断する構造の断面図である。

【図37】図2の最小単位に対する平面レイアウトの別の例を示す平面図である。

【図38】図37の平面レイアウトに対応される読み出しの最小単位回路を例示する回路図である。

【図39】図38の回路構成による消去、書き込み及び読み出し動作を例示するタイミングチャートである。

【図40】マルチストレージ形態の不揮発性メモリセル

を適用した不揮発性メモリの概略ブロック図である。

【図41】図40に代表される不揮発性メモリを内蔵するマイクロコンピュータの一例を示す概略ブロック図である。

【図42】図40に代表される不揮発性メモリを内蔵するマイクロコンピュータの別の例を示す概略ブロック図である。

【図43】図41又は図42に例示されるマイクロコンピュータを適用した接触型のICカードを例示する概略平面図である。

【図44】図41又は図42に例示されるマイクロコンピュータを適用した非接触型のICカードを例示する概略平面図である。

【図45】従来のMONOS構造のマルチストレージ形態の不揮発性メモリセルの構造説明図である。

【図46】図45のメモリセルに対する消去、ライト、リード動作時の電圧印加状態を例示する回路図である。

【図47】本出願人による先の出願に係る本発明者が検討したソースサイド注入形態のマルチストレージ型不揮発性メモリセルの概略的を示す構造説明図である。

【図48】図47のメモリセルに対する消去、ライト、リード動作時の電圧印加状態を例示する回路図である。

【符号の説明】

30, 30m, 30n ウェル領域

31 ゲート酸化膜

32 ゲート窒化膜

33 メモリゲート電極

36, 37 スイッチゲート電極

38, 39 信号電極

40 層間絶縁膜

MC, MCx, MCy, MCz, MCw 不揮発性メモリセル

33h, 33i, 33j, 33k ワード線

36h, 36i, 36j, 36k スイッチ制御線

37h, 37i, 37j, 37k スイッチ制御線

43h, 44h, 45h データ線

43i, 44i, 45i データ線

43j, 44j, 45j データ線

43k, 44k, 45k データ線

50 センスアンプ

51 ライトアンプ

Vp0, Vp1, Vp2, Vp3 プリチャージ電圧

53 プリチャージ回路

54 タイミング制御回路

60, 80 高濃度不純物領域

MEM 不揮発性メモリ

MCU マイクロコンピュータ

110 CPU

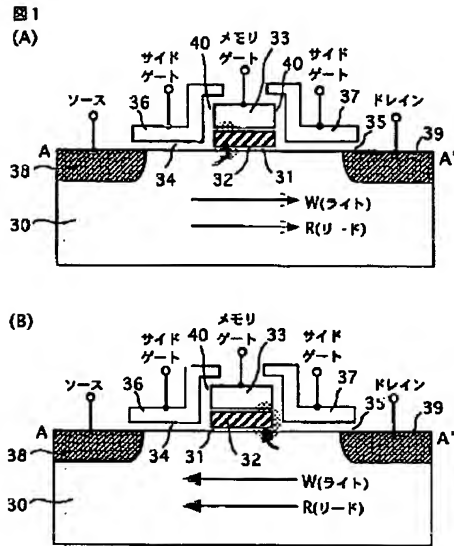
113 外部入出力ポート

120 カード基板

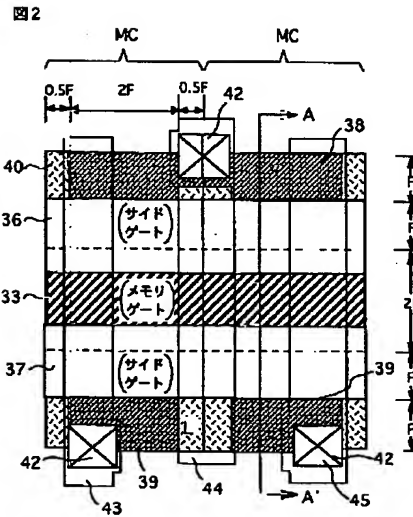
121 カードインタフェース端子
122 高周波インタフェース回路
123 アンテナ

130 接触型ICカード
131 非接触型ICカード

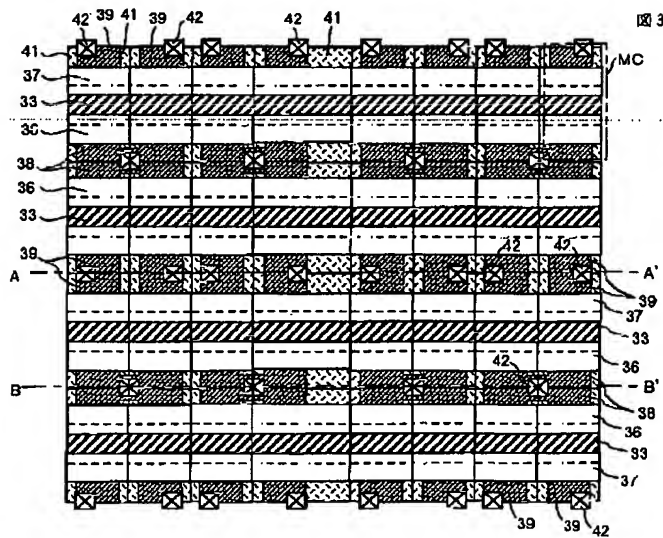
【図1】



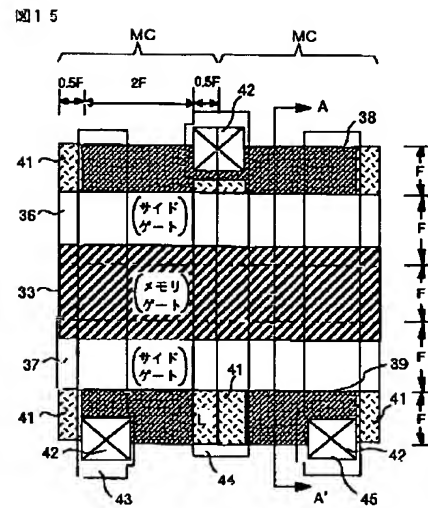
【図2】



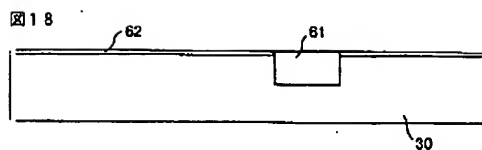
【図3】



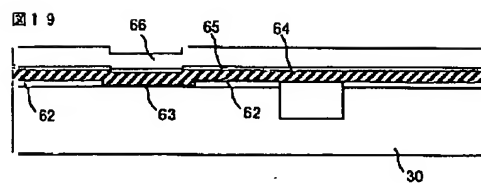
【図15】



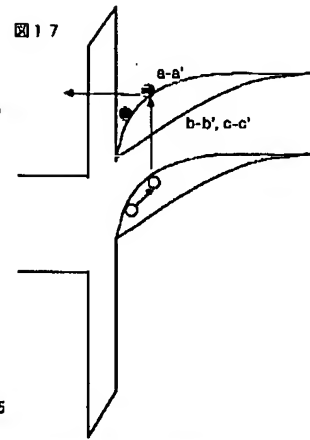
【図18】



【図19】



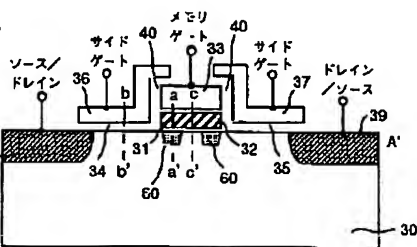
【図17】



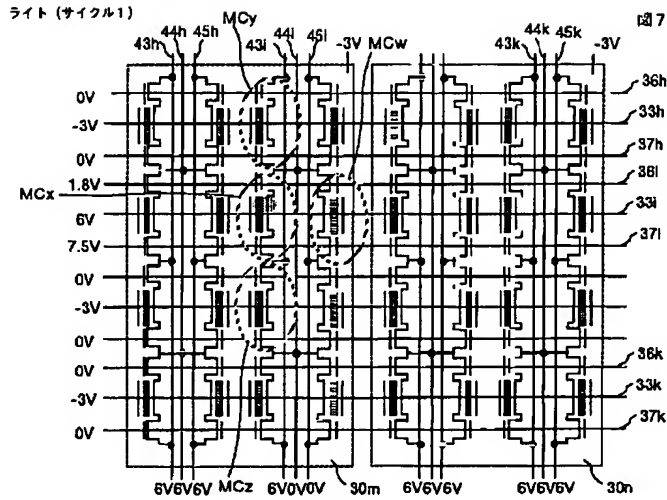
(硬化膜) (陰化層) (基板)



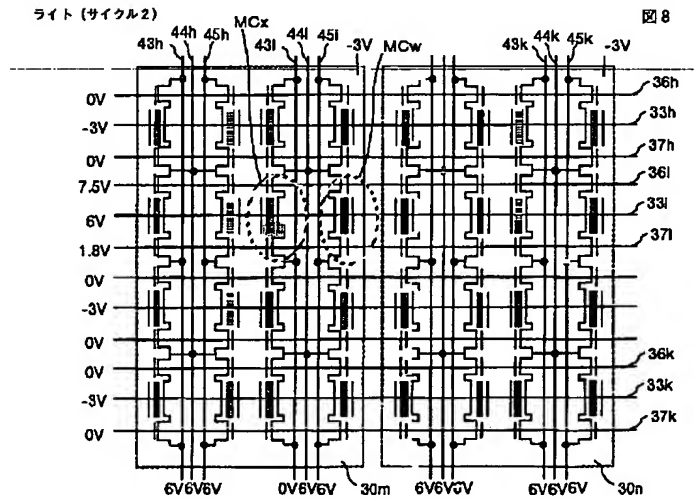
【図16】



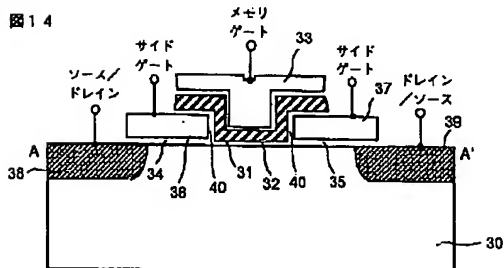
【図7】



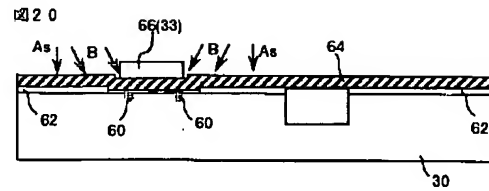
【図8】



【図14】



【図20】

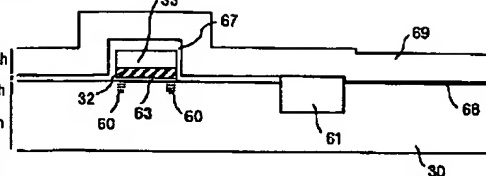
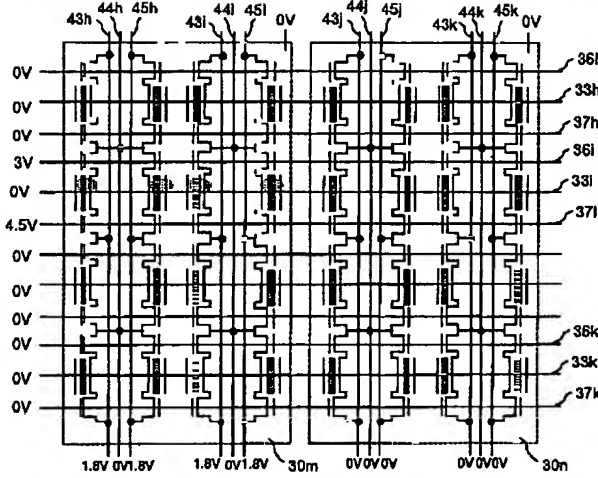


【図9】

【図21】

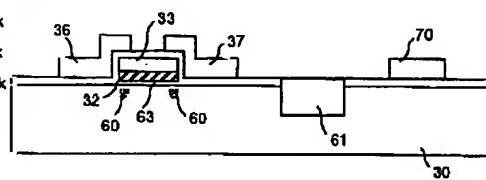
リード (サイクル1)

图 9-2-1



【图22】

图 2-2

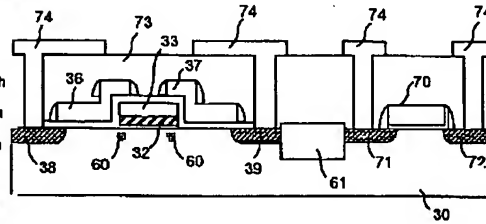
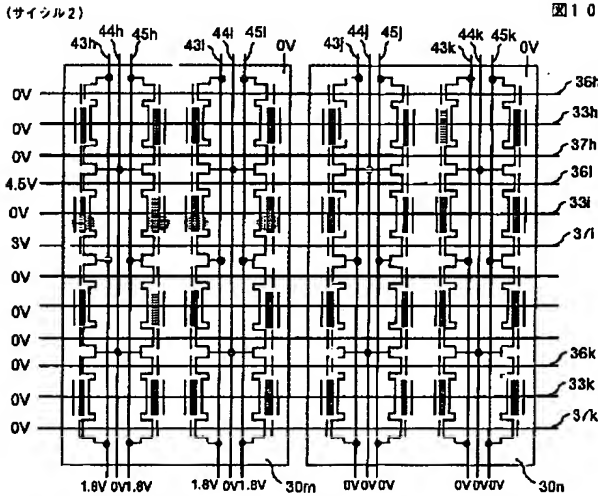


【図10】

【図24】

リード (サイシル2)

Figure 2.4 shows a rectangular box divided into four quadrants by a horizontal and vertical line. The top-left quadrant is labeled 'a', the top-right 'b', the bottom-left 'c', and the bottom-right 'd'.

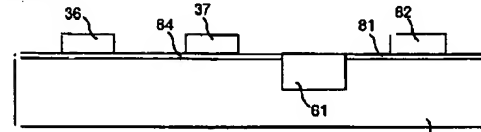
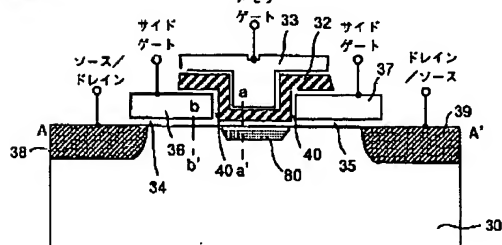


【図25】

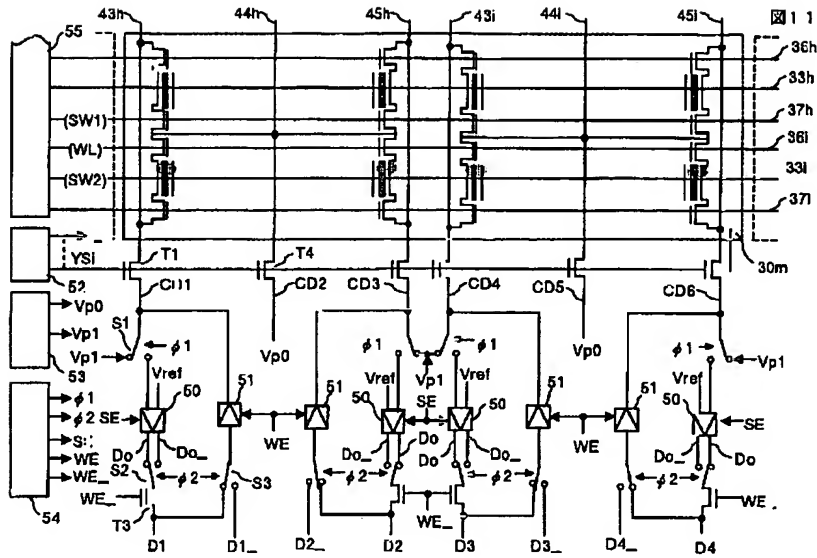
【図27】

圖 25

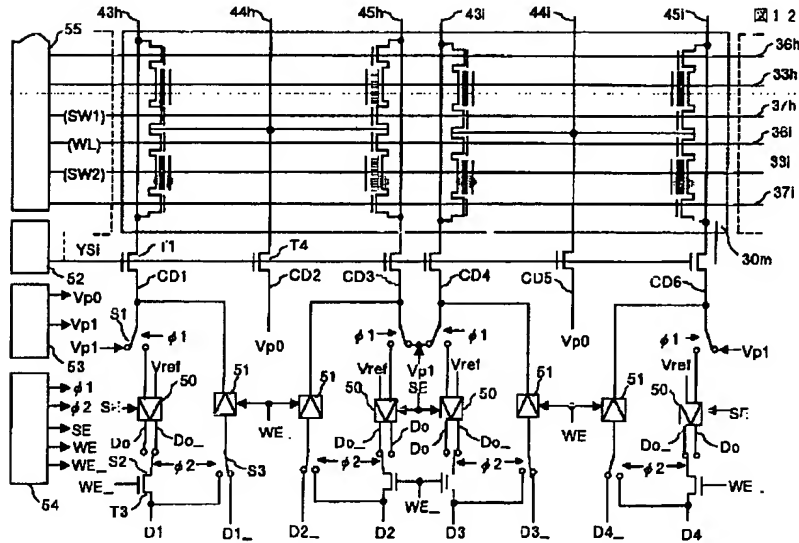
图 2-1



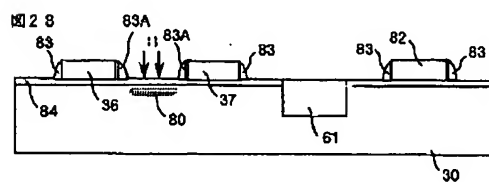
【図 11】



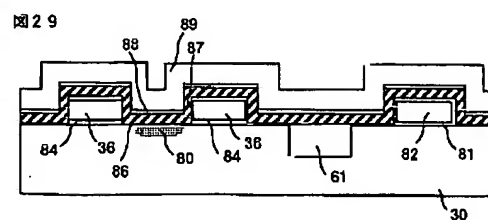
【図12】



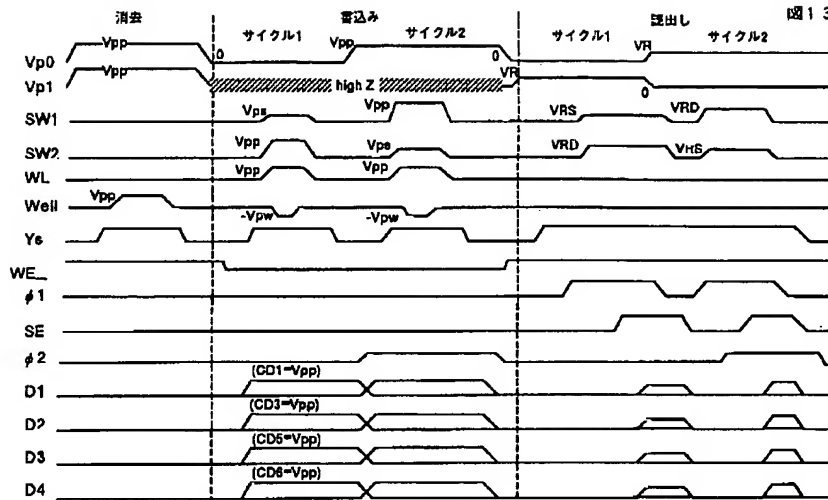
【图28】



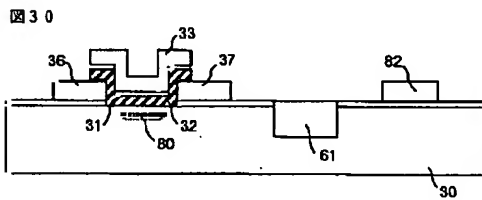
【图29】



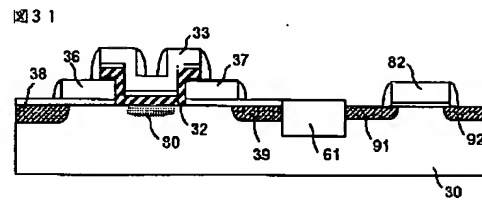
【図13】



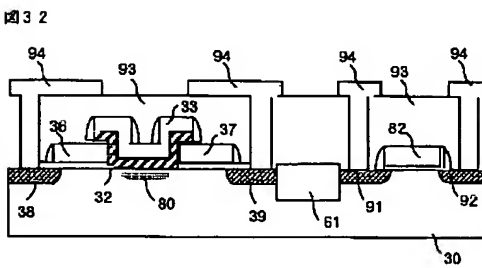
【図30】



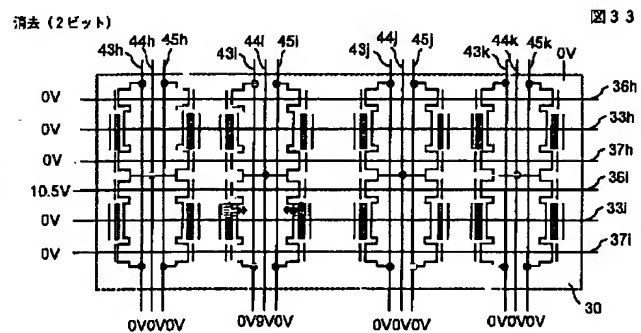
【図31】



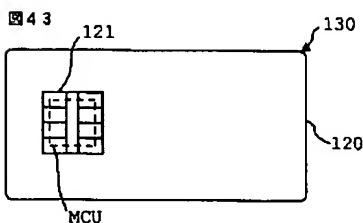
【図32】



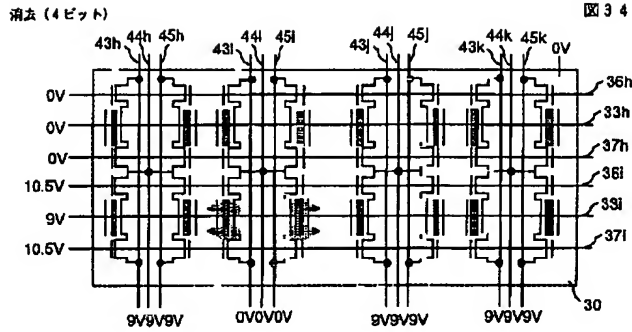
【図33】



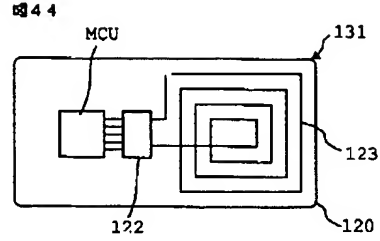
【図43】



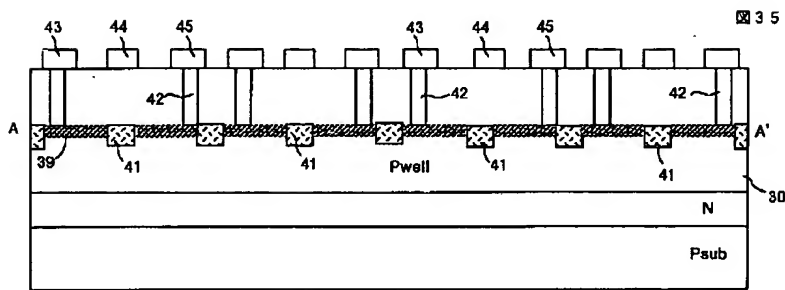
【図34】



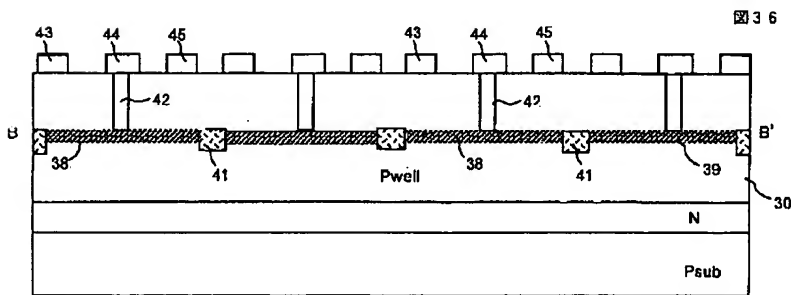
【図44】



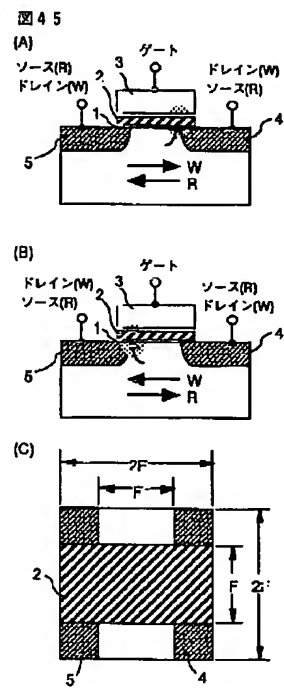
【図35】



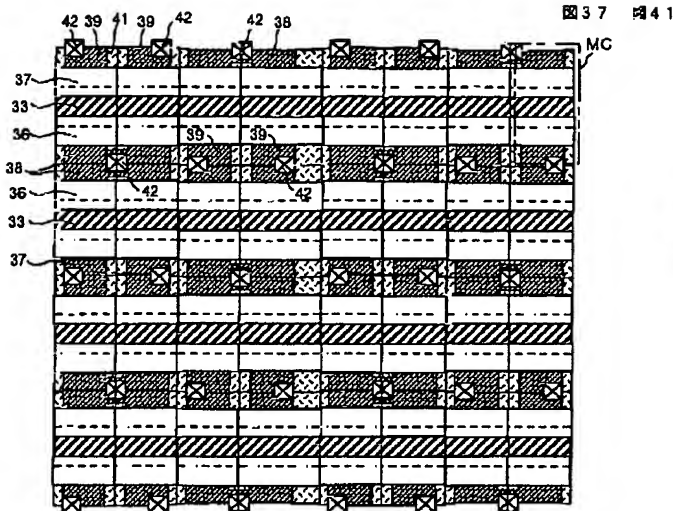
【図36】



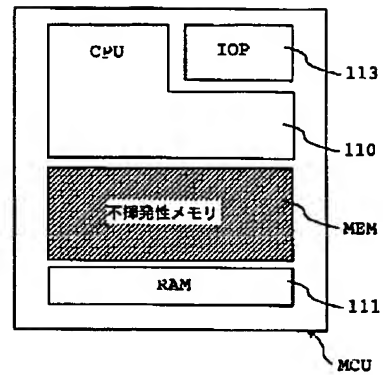
【図45】



【図37】

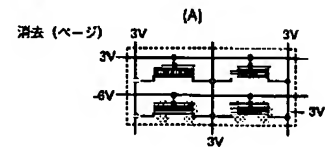


【図41】

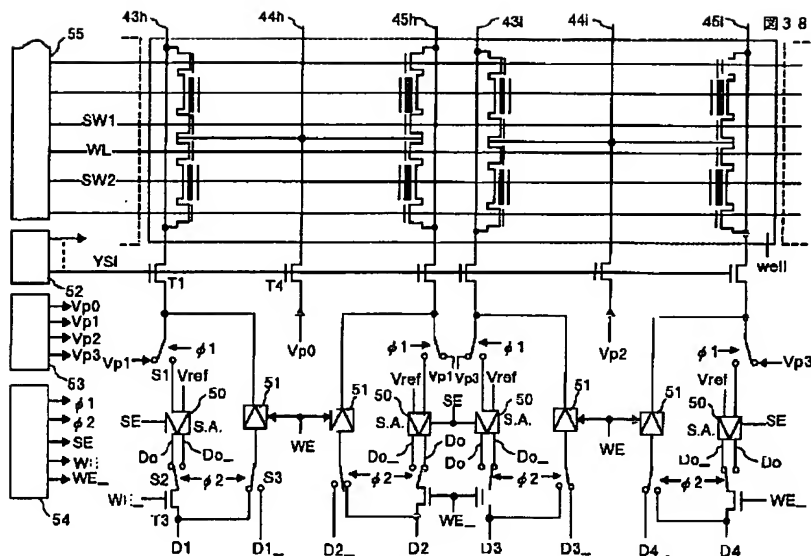


【図46】

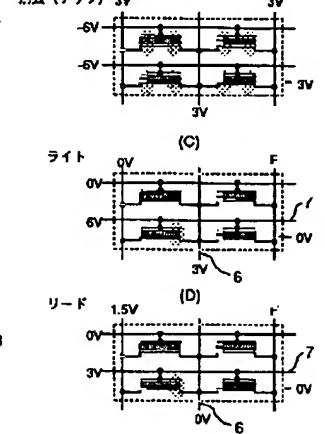
4 6



【图38】

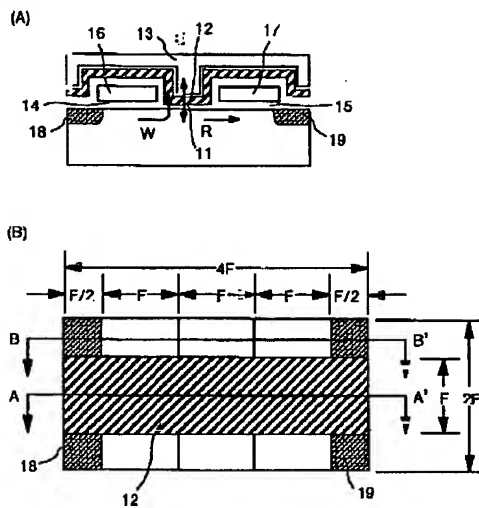


消去 (1)



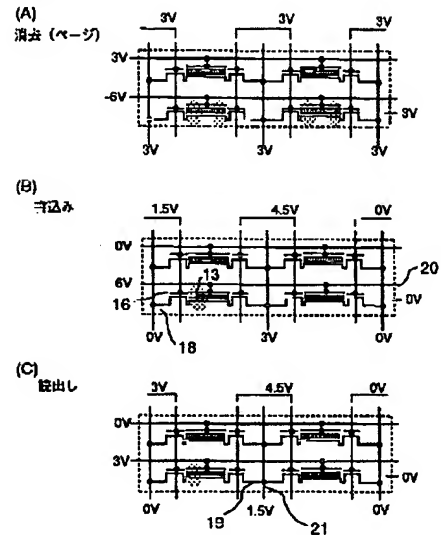
【図47】

図47



【図48】

図48



フロントページの続き

(51)Int. Cl.⁷

識別記号

F I

(参考)

G 1 1 C 16/04

G 1 1 C 17/00

6 2 2 Z 5 F 1 0 1

16/06

6 3 4 B

16/02

6 4 1

H 0 1 L 27/10

4 6 1

H 0 1 L 29/78

3 7 1

29/788

29/792

(72)発明者 南 眞一

東京都小平市上水本町五丁目20番1号 株

式会社日立製作所半導体グループ内

F ターム(参考) 2C005 MA22 NA03 NA08 NB01 TA21

TA22

5B025 AA04 AB03 AC01 AD04 AD11

AE06 AE08

5B035 BA03 BB09 CA01 CA13 CA23

5F001 AA13 AB03 AC06 AD05 AD23

AD60 AD61 AE08 AF20 AG12

AG40

5F083 EP18 EP24 EP64 EP69 EP75

ER02 ER19 NA01 PR28 PR37

PR43 PR44 PR45 PR53 PR54

PR55 ZA13 ZA14 ZA21

5F101 BA45 BB04 BC11 BD15 BD31

BD35 BD36 BE07 BF05 BH09

BH21